

Министерство образования и науки Российской Федерации
Нижекамский химико-технологический институт (филиал)
федерального государственного бюджетного образовательного учреждения
высшего образования
«Казанский национальный исследовательский технологический университет»
(ФГБОУ ВО «КНИТУ»)

А.В. Долганов

ЭВМ и периферийные устройства

*МЕТОДИЧЕСКИЕ УКАЗАНИЯ
к лабораторной работе № 4*

Нижекамск 2016

Лабораторная работа №4

Локальный интерфейс микропроцессора i80386

1. ЦЕЛЬ РАБОТЫ

Целью работы является изучение локального интерфейса микропроцессора i80386.

2. ОСНОВНЫЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

2.1. Локальный интерфейс микропроцессора i80386 и его особенности.

Локальный интерфейс МП является шиной, линии которой непосредственно соединяются с выводами корпуса процессора. Основным назначением локального интерфейса является организация передачи информации (связи) между процессором, сопроцессором, оперативной памятью, кэш-памятью и, при помощи конвертора и интерфейса расширения, другими функциональными узлами РС. Локальная шина работает в синхронном режиме.

Основными компонентами интерфейса являются:

- адресная шина A,
- шина данных D,
- сигналы идентификации цикла,
- строб адреса,
- строб данных.

Можно выделить пять особенностей в конструкции и функционировании локального интерфейса МП i80386. Это:

- задание адреса,
- автоконфигурация шины данных,
- использование 16-байтового буфера кодовой строки,
- сигналы идентификации цикла,
- конвейеризация циклов (конвейеризация адреса).

Конвейеризация циклов является основной (этапной) новацией, с точки зрения развития технологии передачи информации в интерфейсах МП Intel.

Задание адреса. Тридцатидвухразрядный МП i80386 может обращаться к сегментам памяти в диапазоне 4 Гбайта и портам ввода/вывода (включая компоненты сопроцессора) – в диапазоне 64 Кбайта. При этом периферийные устройства в системе могут быть отнесены либо к пространству памяти, либо к пространству ввода/вывода, либо к обоим пространствам.

Интерфейс допускает передачу шестнадцати- и тридцатидвухразрядных операндов, не выровненных по границам слова или двойного слова. При этом возможна параллельная передача по шине данных от одного до четырех байт. Соответственно, для указания размера передаваемых данных и секций шины данных, по которым они передаются, требуются дополнительные линии интерфейса.

В МП i80386 эта проблема решена следующим образом. Шина данных содержит 34 линии. Из них 30 используются для задания адреса операнда (младшего байта операнда) с точностью до адреса двойного слова. Это разрядные линии адреса от A_{31} до A_2 . Адрес операнда с точностью до байта и секции шины данных, по которым передаются байты операнда, задаются четырьмя дополнительными сигналами выбора байтов: $BE3\#$, $BE2\#$, $BE1\#$, $BE0\#$ (4 линии). При этом сигнал

- $BE0\#$ определяет передачу байта данных по младшим разрядам шины данных (секция – "А", разряды 0 – 7),
- $BE1\#$ определяет передачу байта данных по разрядам шины данных секции "В", разряды 8 – 15,
- $BE2\#$ определяет передачу байта данных по разрядам шины данных секции "С", разряды 16 – 23,
- $BE3\#$ определяет передачу байта данных по разрядам шины данных секции "D", разряды 24 – 31.

Здесь и далее по тексту символ # в названии сигналов означает активность соответствующих сигналов при нулевых значениях.

Количество параллельно передаваемых байтов определяется числом активных сигналов выбора байтов, а адрес данных (с точностью до байта) – комбинацией этих сигналов.

Автоконфигурация шины данных. Под автоконфигурацией шины данных здесь понимается механизм динамического изменения ширины шины данных и выравнивание операндов.

Возможность динамического изменения ширины шины данных обеспечивает непосредственное взаимодействие как с 32-разрядными, так и с 16-разрядными внешними устройствами. МП i80386 в серии МП i80X86 был первым 32-разрядным процессором, и для него проблема совместимости со "старыми" 16-разрядными периферийными устройствами являлась актуальной.

Для решения проблемы автоконфигурации в МП используется сигнал от исполнителя (внешнего устройства) к процессору $BS16\#$ (bus size 16 bits). Активный сигнал $BS16\#$ означает, что исполнитель – 16-разрядное устройство по шине данных.

При активном уровне сигнала $BS16\#$ и необходимости передачи данных разрядностью больше 16 (или 16-разрядных данных, не выровненных по границе слова) МП автоматически вместо одного цикла выполняет два или три цикла передачи. При этом данные передаются только по линиям $D0 – D15$.

При этом возможно дублирование передаваемых байтов.

Комбинации сигналов выбора байта, при которых возможно дублирование байтов представлены в табл. 1. Дублирование байтов позволяет устройствам с 16-разрядными шинами данных принимать байты, передаваемые по старшим секциям шины данных.

Активный сигнал $BS16\#$ влияет на действия МП в следующих ситуациях:

1. Передаваемые данные содержатся только в старшей половине двойного слова, т.е. $BE0\#$ и $BE1\#$ неактивны. Для передачи информации устройство просто использует младшие секции шины данных. Для чтения процессор при ак-

тивном сигнале BS16# снимает данные не со старших, а с младших секций шины данных. При записи устройство снимает данные не со старших, а с младших секций шины данных. Так как при пассивных сигналах BE0# и BE1# процессор дублирует на младших секциях содержимое старших секций, то повторной пересылки и выставления сигнала BS16# не требуется.

Таблица 1.								
Сигналы выбора байта				Использование секций шины данных				Дублирование
BE3#	BE2#	BE1#	BE0#	D	C	B	A	
1	1	1	0	–	–	–	A	нет
1	1	0	1	–	–	B	–	нет
1	0	1	1	–	C	–	C	да
0	1	1	1	D	–	D	–	да
1	1	0	0	–	–	B	A	нет
1	0	0	1	–	C	B	–	нет
0	0	1	1	D	C	D	C	да
1	0	0	0	–	C	B	A	нет
0	0	0	1	D	C	B	–	нет
0	0	0	0	D	C	B	A	нет

2. При передаче данных используются старшая и младшая половины двойного слова, т.е. BE1# и BE2# активны (могут быть активны и другие сигналы выбора данных, но эти – обязательно). По сигналу BS16# процессор повторяет запрос на передачу. В повторной передаче процессор и устройство, как и в первом случае, используют только младшие секции шины данных.

3. Передача данных, содержащихся в обеих половинах двойного слова. Это частный случай ситуации 2. При активном сигнале повторяется цикл передачи с использованием младших секций шины данных.

4. Передача 32-разрядного операнда, не выровненного по границе двойного слова. При передаче даже без активного сигнала BS16# (т.е. по 32-разрядной шине) требуется два цикла передачи. В первом цикле передаются байты, расположенные в целочисленном слове с меньшим адресом (выровненным по границе двойного слова), во втором – с большим адресом.

При активизации сигнала BS16# МП может инициализировать дополнительный 16-разрядный цикл (всего будет три цикла). Три цикла получаются тогда, когда одно двойное целочисленное слово содержит три байта (два 16-разрядных цикла передачи), а второе – один байт (один 16-разрядный цикл передачи).

Использование 16-байтового буфера кодовой строки. МП i80386 не имеет встроенного блока кэш-памяти. Для уменьшения частоты обращений к оперативной памяти или к внешней кэш-памяти процессор использует 16-байтовый буфер кодовой строки. Очередная команда на регистр команд выбирается из этого буфера. После выборки очередной команды содержимое буфера сдвигается с освобождением младших разрядов. Их число определяется разме-

ром выбираемой команды. После освобождения четырех байт буфера формируется внутренний сигнал Z запроса обращения к памяти. Запрос обращения к памяти возникает также при выполнении операции, один из операндов которой находится в памяти. Так как имеется множество "коротких команд" (от 1 до 3 байт), использующих операнды из РОНов, то не всегда при выполнении очередной команды МП использует интерфейс. В случаях отсутствия внутреннего запроса к памяти интерфейс может обслуживать запросы от других устройств или находиться в "холостом такте". Холостой такт локального интерфейса является также начальным тактом после включения или рестарта.

Сигналы идентификации цикла. Циклом (транзакцией) называется один сеанс связи устройств, в течение которого осуществляется передача данных через интерфейс. Интерфейс использует синхронную передачу. Каждый цикл имеет несколько фаз, называемых тактами. Длительность такта определяется периодом синхросигналов, доступных всем устройствам, использующим интерфейс. Локальный интерфейс МП i80386 поддерживает циклы с переменным числом тактов, минимальное число тактов в цикле – два.

В первом такте процессор (или другой задатчик) задает адрес и тип цикла. Первый такт помечается стробом задатчика. Это сигнал использования адреса (*ADS#*). В последнем такте оперативная память (или другой исполнитель) выставляет строб данных. Это сигнал окончания цикла (*READY#*). По этому сигналу стробируются данные на шине данных. При операции чтения (передача данных от исполнителя к задатчику) исполнитель этим сигналом указывает такт, в котором возможна фиксация задатчиком данных с шины данных. При операции записи исполнитель указывает задатчику такт, в котором им были сняты данные с шины данных. Это своеобразная квитанция исполнителя на возможность окончания задатчиком текущего цикла и перехода на следующий цикл.

Два такта в цикле – это расчетный вариант, когда быстроедействие задатчика и исполнителя согласованы.

В рабочем режиме микропроцессор может выполнять следующие типы циклов:

- чтение из памяти,
- запись в память,
- чтение из устройства ввода/вывода (или из сопроцессора),
- запись в устройство ввода/вывода (или в сопроцессор),
- подтверждение прерывания,
- индикация останова или выключения.

Сигналы идентификации цикла определяют:

- *W/R#* – операцию в цикле: запись или чтение,
- *D/C#* – тип передаваемой информации: данные или команды,
- *M/IO#* – тип цикла: обращение к памяти или обращение к устройствам ввода/вывода,⁵
- *LOCK#* – блокировку шины в последовательности циклов.

Соответствие типов циклов шины значениям сигналов W/R#, D/C#, M/IO# и LOCK# видно из табл. 2.

Тип цикла определяется в первом такте по активному значению строга (ADS#).

Микропроцессор подтверждает состояние захвата шины установкой активного уровня на выходе HLDA (Подтверждение захвата шины).

Таблица 2. Кодирование типов цикла в МП i80386				
M/IO#	D/C#	W/R#	LOCK#	Тип цикла шины
0	0	0	0	Подтверждение прерывания
0	0	1	0	Не возникает
0	1	0	1	Чтение данных из устройства в/в
0	1	1	1	Запись данных в устройство в/в
1	0	0	1	Чтение команды из памяти
1	0	1	1	Останов
1	1	0	0/1	Чтение данных из памяти
1	1	1	0/1	Запись данных в память

Конвейеризация адреса. Разработка новых процессоров с более высоким быстродействием всегда связана с проблемой использования старых систем памяти, рассчитанных на работу с менее быстродействующими МП. Конвейерная передача данных (конвейеризация адреса) в какой-то мере решает эту проблему. Использование конвейеризации в РС 386/AT, где МП i80386 имел рабочую частоту 16 МГц и оперативную память, построенную на динамических элементах с временем выборки 100 нс., позволило в циклах интерфейса исключить состояния ожидания и при трехтактных циклах передавать данные на каждый второй такт.

Конвейерная работа связана не только с протоколами интерфейса, но и относительно несложной модернизацией памяти.

Согласования по быстродействию процессора и памяти можно достигнуть повышением полосы пропускания памяти (произведение ширины обращения на частоту). Для этого можно увеличить (удвоить) ширину обращения, например путем реализации двух банков памяти с чередованием адресов двойных слов (с расслоением), и организовать параллельную, конвейерную или пакетную передачу данных по шине данных.

Параллельная передача данных связана с расширением (по разрядам) шины данных. Конвейерная и пакетная передачи данных используют стандартную 32-разрядную шину данных. Если допускать возможность обращения к разным банкам данных по несмежным адресам без увеличения разрядности шины адреса, то доработка обычной памяти для реализации конвейерной передачи должна предусматривать наличие регистров-защелок на каждый блок памяти для фиксации адресов обращения к памяти. Адрес обращения для следующего цикла передается в конвейерном режиме в тактах текущего цикла.

МП i80386 может работать как с обычной памятью, так и с допускающей конвейерную передачу адреса. При этом выбор режима определяет контроллер

памяти (как исполнитель). Если память ориентирована на работу в конвейерном режиме, то она во втором такте запрашивает адрес обращения для следующего цикла. Сигналом запроса является сигнал запроса адреса NA#.

Вопросы для самопроверки:

1. Задание адреса.
2. Автоконфигурация шины данных.
3. Использование 16-байтового буфера кодовой строки.
5. Сигналы идентификации цикла.
6. Конвейеризация циклов (конвейеризация адреса).
7. Идентификаторы начала и окончания цикла.

2.2. Диаграммы работы локального интерфейса МП i80386.

После запуска или процедуры рестарта интерфейс устанавливается в состояние холостых тактов T_i .

Это отсутствие циклов передачи. Цикл передачи начинается по внутреннему запросу процессора Z (необходимость обращения за данными или командами).

Локальный интерфейс МП i80386 поддерживает два типа циклов связи для передачи информации:

- простые циклы,
- конвейерные циклы.

Простые циклы. Это циклы без конвейеризации. Простые циклы содержат минимально два такта (рис. 1.).

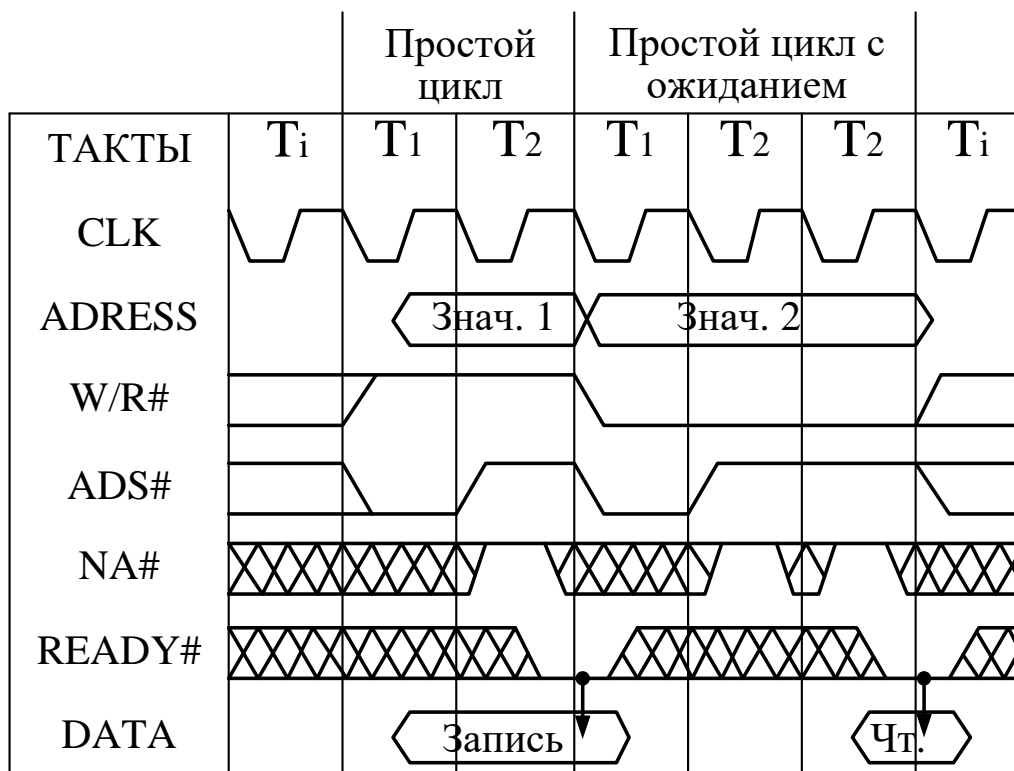


Рис.1. Временная диаграмма простых циклов

При работе в неконвейерном режиме в первой фазе такта T1 процессор выдает на шины интерфейса адрес и сигналы определения типа цикла (на рис.1 указано только значение сигнала W/R), и одновременно устанавливается активный уровень stroba адреса (ADS#), означающий начало цикла. Во время выполнения цикла чтения МП переключает шину данных таким образом, чтобы принять данные от адресованного внешнего устройства в следующем такте.

В цикле записи МП устанавливает данные во второй фазе состояния T1 и удерживает их в первой фазе следующего такта.

Следующим тактом после T1 всегда является такт продолжения и завершения цикла (T2). В такте T2 процессор сохраняет значение адреса и значение сигнала операции W/R#, переводит в неактивное (единичное) состояние сигнал ADS#, в цикле записи (W/R# = 1) сохраняет значение данных.

В такте T2 процессор проверяет активность сигналов внутреннего запроса цикла Z, запроса следующего адреса NA# (проверка возможности перехода на конвейерный цикл) и сигнала окончания цикла READY#.

При неактивном сигнале запроса нового адреса NA# такт T2 повторяется, пока неактивен сигнал окончания цикла READY#.

При активизации сигнала окончания цикла (READY# = 0) или начинается новый цикл передачи (с такта T1) при активном сигнале внутреннего запроса, или формируется холостой такт Ti при отсутствии сигнала внутреннего запроса Z на цикл.

Таким образом, простой цикл (без ожиданий) длится два такта. Предполагается, что МП i80386 будет использовать системы памяти, обеспечивающие длительность циклов не более 3-х тактов.

Конвейерные циклы. Первый цикл (первой передачи данных на рис. 2) после такта Ti всегда выполняется без конвейеризации адреса. Для того, чтобы следующий цикл обращения к памяти был конвейеризованным, память (как исполнитель) должна в предпоследнем такте T2 (за один такт до выдачи сигнала READY#) установить активный уровень сигнала выдачи адреса NA# (рис. 2).

МП по активному сигналу выдачи адреса NA# инициализирует вместо такта T2 такт T2P, в котором на шине МП устанавливается адрес и управляющие сигналы для выполнения следующего цикла обращения к памяти (вторая передача на рис. 2).

Цикл из последовательности T1, T2, T2P считается неконвейерным, но переходным, так как в такте T2P заканчивается текущая передача данных и начинается следующая передача, а именно, от задатчика к исполнителю передается адрес для следующего цикла. Таким образом, еще до окончания операции чтения или записи на шине адреса выставляется новый адрес.

Это вполне допустимо, так как текущий адрес уже зафиксирован (в регистре адреса памяти) в такте T2, а следующий адрес, вероятнее всего, будет адресовать другой банк памяти (при расслоении адресов). В случае же повторной адресации одного и того же банка памяти, произойдет повторение такта T2P до освобождения адресуемого банка памяти.

В такте T2p в циклах чтения память (или другой исполнитель) выставляет на шину данных запрошенные данные. Поэтому, в отличие от такта T1, процессор не может выставлять данные (при записи в следующем цикле). Данные выставляются после завершения такта T2p. Задержка по данным при трехтактных передачах допустима, так как они используются только после задержки в дешифрации адреса обращения.

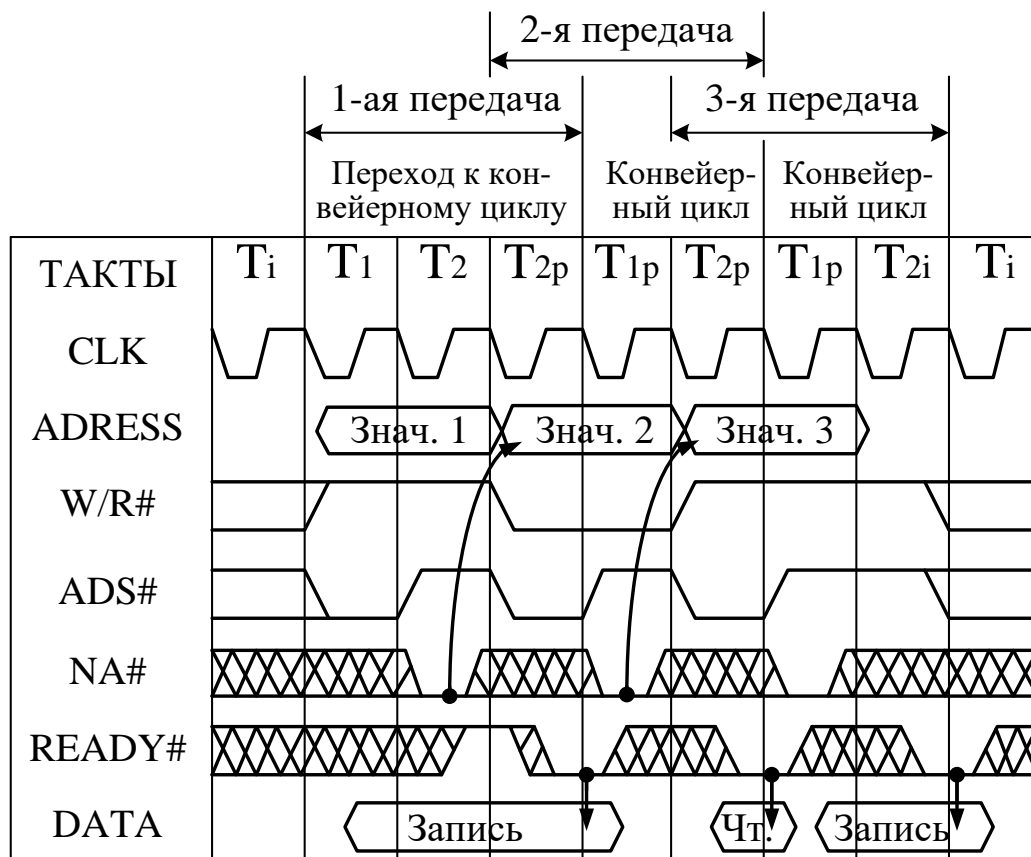


Рис. 7.7. Временная диаграмма перехода на конвейерный цикл с выходом через T_i

Одновременно такт T2p является завершающим тактом текущей передачи. В нем процессор проверяет сигнал окончания цикла READY#. При активном сигнале READY# цикл текущей передачи заканчивается.

Следующим тактом становится T1p. Это второй такт передачи (рис. 2), начавшейся в такте T2p переходного цикла. Это такт, в котором, как и в такте T2 неконвейерного цикла, процессор повторяет все сигналы, выставленные ранее, кроме сигнала использования адреса ADS#. Сигнал ADS# переводится в пассивное состояние. Кроме этого, в цикле записи процессор выставляет данные.

В такте T1p процессор проверяет активность сигналов запроса нового адреса (продолжения конвейеризации) и внутреннего запроса цикла Z.

Чтобы обращение к памяти выполнялось далее в конвейерном режиме, необходимо в состоянии T1p каждый раз устанавливать активный уровень сигнала NA#.

При активном сигнале NA# такт T1p сменяется тактом T2p. Этот такт является окончанием второй передачи.

В такте T2p начинается новый цикл и заканчивается старый. Его можно было бы считать как первым, так и последним циклом передачи. Но в такте T2p "досрочно" выставляется только адрес данных (конвейерная передача адреса). Вероятно поэтому такт T1p считается первым, а T2p – конечным тактом конвейерного цикла. Конвейерные циклы продолжаются, пока в процессоре формируется внутренний запрос на цикл передачи Z. Запрос Z проверяется в каждом такте T1p. При отсутствии запроса Z за тактом T1p следует не такт начала нового конвейерного цикла T2p, а такт T2i (третья передача на рис.2). Это такт завершения конвейерного цикла при отсутствии сигнала внутреннего запроса Z.

Теоретически возможно окончание конвейерного цикла и при отсутствии в такте T1p сигнала запроса следующего адреса Na# от исполнителя. В этом случае такт T1p сменяется тактом T2 (такт окончания неконвейерного цикла).

Конвейерная передача возможна только при отсутствии сигнала BS16# в момент проверки сигнала запроса следующего адреса Na# .

Вопросы для самопроверки:

- 1. Простые циклы, начало, окончание.*
- 2. Переход на конвейерные циклы, сигнал перехода.*
- 3. Особенности схемы памяти для работы в конвейерном режиме.*
- 4. Особенность выставления данных в конвейерном режиме.*

2.3. Модель функционирования локального интерфейса МП i80386. (интерфейс с конвейерной передачей данных)

Последовательности тактов, представленные на рис.1 и рис.2, не исчерпывают все множество возможных комбинаций тактов в последовательностях локального интерфейса МП i80386. На рис. 3 представлена упрощенная модель функционирования локального интерфейса МП i80386 в виде графа состояний и переходов. Упрощение заключается в том, что в модели не рассматриваются сигнал запроса на захват шины HOLD, сигнал подтверждения захвата шины HLDA и такта захвата шины (Th). То есть моделируется только взаимодействие задатчика с исполнителем без арбитража и смены задатчика.

В модели на рис. 3 вершины графа соответствуют отдельным тактам возможных циклов, дуги – переходам. Вершины графа снабжены символами названия соответствующих тактов, переходы – условиями переходов.

Описание тактов и условий переходов.

Ti – отсутствие циклов передачи информации (холостой ход). Это или начальный такт после включения – Restart (RS – на графе состояний), или отсутствие в процессоре внутреннего запроса на цикл интерфейса ($Z = 0$). Такты Ti повторяются до появления внутреннего запроса на цикл.

T1 – начальный такт неконвейерного цикла передачи информации. В такте T1 процессор выставляет:

- адрес данных,
- сигналы идентификации цикла M/IO, D/C, W/R,
- сигнал использования адреса ($ADS\# = 0$).

- такт T2p при наличии сигнала внутреннего запроса на цикл Z (сочетание $Z \& \bar{R} \& N$ на графе состояний),
- такт T2i при отсутствии сигнала запроса на цикл Z (сочетание $\bar{Z} \& \bar{R} \& N$ на графе состояний).

T2p – такт передачи нового адреса в цикле с конвейеризацией (начало нового цикла передачи до окончания текущего). Процессор, как и в такте T1, выставляет:

- адрес данных,
- сигналы идентификации цикла M/IO, D/C, W/R,
- сигнал использования адреса ADS#.

В отличие от такта T1, в такте T2p процессор не выставляет новые данные до окончания текущего цикла.

В такте T2p процессор проверяет активность сигнала окончания цикла READY#. Такт T2p повторяется, пока этот сигнал остается неактивным.

При активном сигнале окончания цикла осуществляется переход на такт T1p.

T1p – такт начала цикла конвейерного цикла. В такте T1p процессор повторяет все выставленные ранее сигналы, кроме сигнала использования адреса ADS#, который переводится в пассивное состояние ($ADS\# = 1$). Кроме этого, при цикле записи процессор выставляет данные.

В такте T1p процессор проверяет активность сигналов запроса нового адреса NA# (продолжения конвейеризации) и внутреннего запроса цикла Z.

При пассивном сигнале запроса нового адреса ($NA\# = 1$) осуществляется переход на такт T2 (цикл без конвейеризации), при активном сигнале запроса ($NA\# = 0$) осуществляется переход или на такт T2p при активном сигнале внутреннего запроса цикла (сочетание $N\&Z$ на графе состояний), или на такт T2i при отсутствии сигнала внутреннего запроса цикла (сочетание $N \& \bar{Z}$ на графе состояний).

T2i – такт завершения цикла с конвейеризацией при отсутствии сигнала внутреннего запроса цикла в предыдущем такте. Как и в такте T1p процессор повторяет все выставленные ранее сигналы, кроме сигнала использования адреса ADS#, который переводится в пассивное состояние ($ADS\# = 1$), если он находился в активном состоянии (например, после такта T2).

В такте T2i процессор проверяет активность сигналов окончания цикла READY# и внутреннего запроса цикла Z.

Если сигнал окончания цикла пассивен, то осуществляется переход на T2p при активном сигнале внутреннего запроса (сочетание $Z \& \bar{R}$ на графе состояний) или повторяется такт T2i при пассивном сигнале внутреннего запроса (сочетание $\bar{Z} \& \bar{R}$ на графе состояний).

Если сигнал окончания цикла активен, то осуществляется переход на такт T1 при активном сигнале внутреннего запроса (сочетание $Z \& R$ на графе состояний) или на такт Ti при пассивном сигнале внутреннего запроса (сочетание $\bar{Z} \& R$ на графе состояний).

Вопросы для самопроверки:

1. Такт T_i , описание, условие перехода.
2. Такт T_1 , описание, условие перехода.
3. Такт T_2 , описание, условие перехода.
4. Такт T_{1p} , описание, условие перехода.
5. Такт T_{2p} , описание, условие перехода.
6. Такт T_{2i} , описание, условие перехода.

2.4. Специальные циклы

В группу специальных циклов входят:

- циклы подтверждения прерывания,
- цикл индикации останова,
- цикл индикации выключения.

Циклы подтверждения прерывания. Это циклы приема типа прерывания от контроллера прерываний.

В ответ на запрос прерывания, поступивший на вход INTR при разрешенных прерываниях ($IF=1$ в регистре EFLAGS), МП i80386 выполняет два цикла подтверждения прерывания. Эти циклы шины аналогичны циклам чтения, и каждый продолжается до получения микропроцессором подтверждения на входе READY#.

В PC AT/386 в качестве контроллера прерываний использовалась, как правило, микросхема I8259A; для обеспечения ее совместимости по временным параметрам с МП между двумя циклами подтверждения прерывания формируются два состояния ожидания.

В конце первого цикла подтверждения прерывания шина данных отключена. В конце второго цикла I8259A выдает микропроцессору вектор прерывания (0 – 255) по линиям D0 – D7 шины данных.

Активный уровень сигнала LOCK# устанавливается с начала первого цикла подтверждения прерывания и сохраняется до конца второго цикла.

Цикл индикации останова. Останов МП i80386 происходит в результате выполнения команды HALT. МП выполняет при этом цикл индикации останова, выдавая на шину адрес 2. Цикл должен быть подтвержден появлением на шине активного сигнала READY#.

Из состояния останова МП может быть выведен запросом аппаратного прерывания на входе INTR (если прерывания разрешены), запросом немаскируемого прерывания на входе NMI или сигналом сброса RESET.

Цикл индикации выключения. МП i80386 выключается в результате появления ошибки защиты памяти при попытке обработать двойную ошибку. При этом выполняется цикл индикации выключения, отличающийся от цикла индикации останова лишь выдачей на шину адреса 0.

Цикл должен быть подтвержден появлением на шине активного сигнала READY#. Из выключенного состояния i80386 может быть выведен запросом немаскируемого прерывания на входе NMI или сигналом сброса RESET.

Вопросы для самопроверки:

1. Циклы подтверждения прерывания.
2. Цикл индикации останова.
3. Цикл индикации выключения.

3. ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

1. Лабораторная работа расположена по следующему пути на сервере кафедры:

[Z:\Документация\По предметно\Организация ЭВМ и систем \(ОЭВМиС\) \Лабораторные занятия\ Лабораторная работа №7\Интерфейс386](#)

2. Скопируйте папку «**Интерфейс386**» на свой компьютер.
3. Внутри папки запустите файл **Int1.exe**.
4. В открытом окне (см. рис.4) нажмите на кнопку «**Практика**».

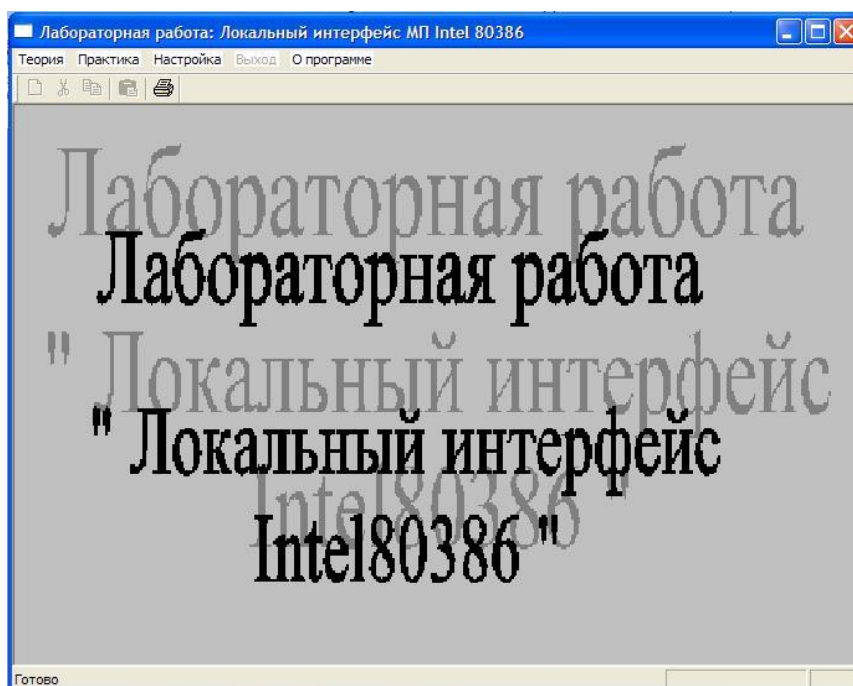


Рис. 4. Общий вид программы.

5. В окне «**Регистрация**» введите свою **фамилию** и **группу** (см. рис.5).

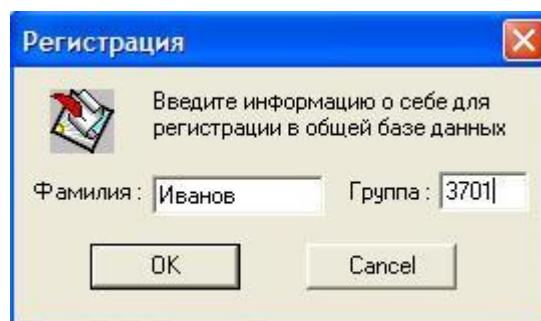


Рис.5. Окно регистрации студента.

6. Прежде, чем перейти к основному тексту, Вам необходимо пройти предварительный тест (см. рис. 6). Последовательно отвечайте на вопросы и следуйте указаниям на экране.

9. Выводятся последовательно следующие вопросы (см. рис. 9а – 9д). Отвечая на них правильно, строится временная диаграмм (см. рис. 10).

Такт

Введите следующий такт

- ☐ T_i
- ☐ T₁
- ☐ T₂
- ☐ T_{1p}
- ☐ T_{2p}
- ☐ T_{2i}

а)

Адрес

Введите ADDRESS

- ☐ Установить (Set)
- ☐ Продоржить (Centinue)
- ☐ 3-е состояние (XXX)

б)

Wr

Введите W/R#

- ☐ 1 (up)
- ☐ 0 (down)

в)

Ads

Введите ADS#

- ☐ 1 (up)
- ☐ 0 (down)

г)

Data

Введите DATA

- ☐ Устоновить (Set)
- ☐ Сбросить (Reset)
- ☐ Продолжить (Continue)
- ☐ Reset and Set

д)

Рис.9. Окна вопросов.

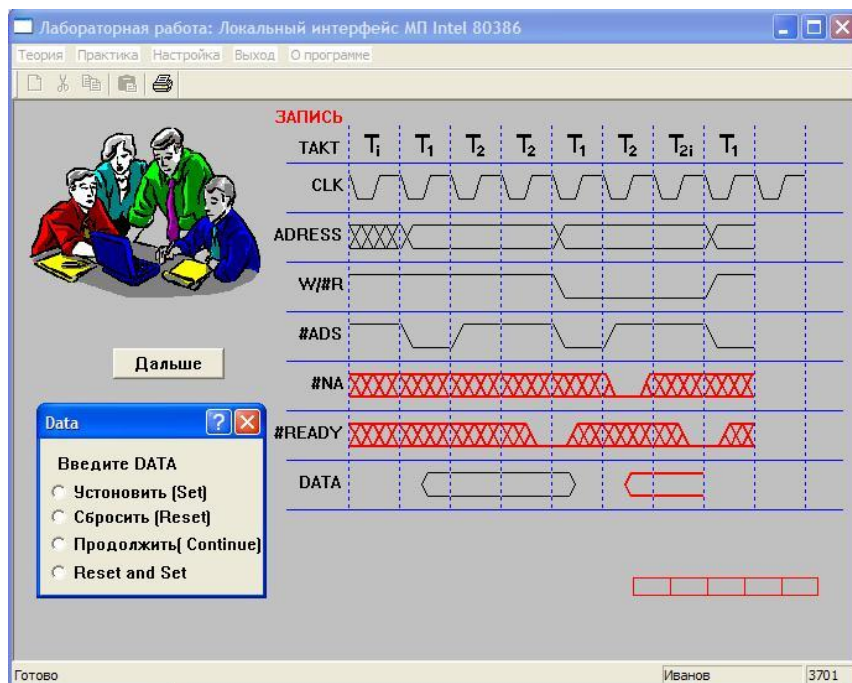


Рис.10. Временная диаграмма.

10. В случае правильного построения временной диаграммы, выполненное вами задание отмечается желтым прямоугольником в нижнем правом углу рабочего окна лабораторной работы (см. рис. 11).

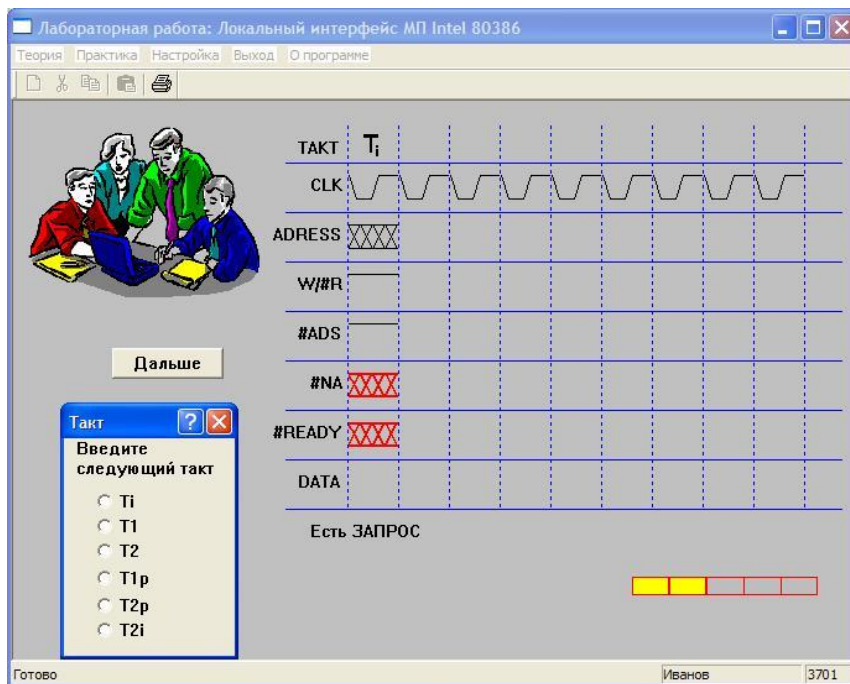


Рис.11. Рабочее окно лабораторной работы с двумя правильно выполненными заданиями.

11. Необходимо выполнить все представленные задания (см. рис. 12)

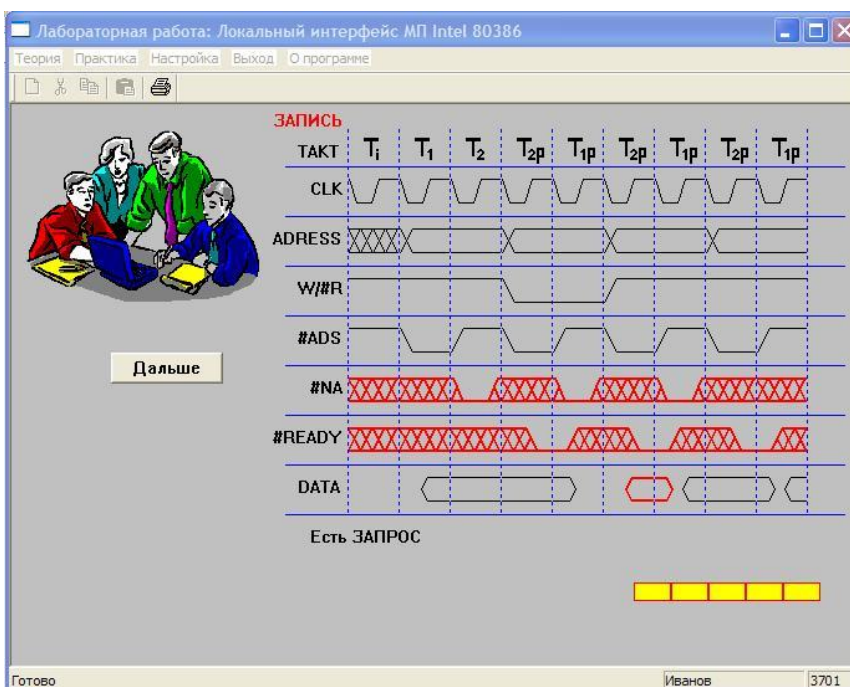


Рис.12. Рабочее окно лабораторной работы со всеми правильно выполненными заданиями.

4. СОДЕРЖАНИЕ ОТЧЕТА

Отчет должен включать:

а) окно окончания лабораторной работы, которое необходимо показать преподавателю (см. рис. 13.);

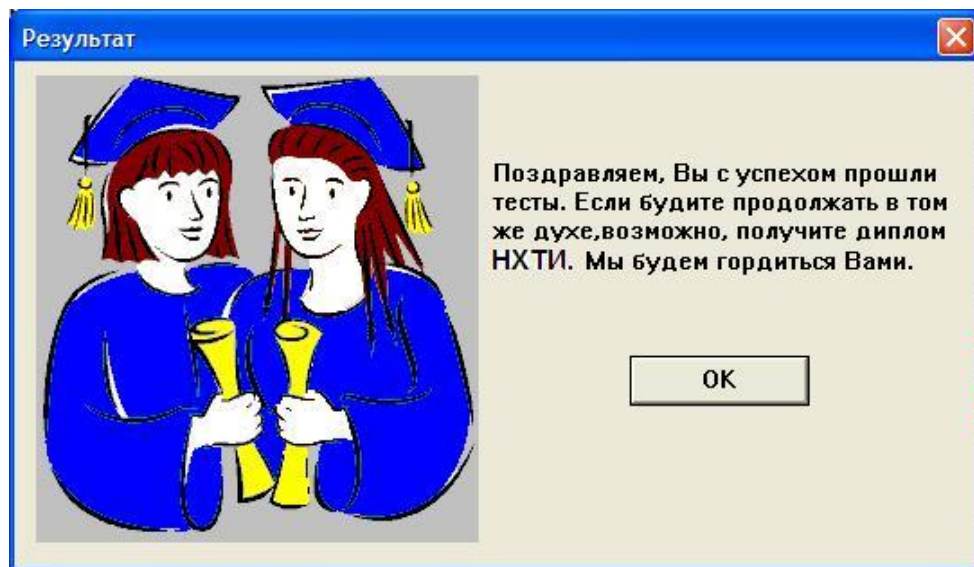


Рис. 13. Окно о завершении работы студентом.

б) ответить на контрольные вопросы

5. КОНТРОЛЬНЫЕ ВОПРОСЫ

а) вопросы в конце каждого пункта теоретического материала (вопросы для самопроверки),

б) вопросы преподавателя.