Министерство образования и науки Российской Федерации

Нижнекамский химико-технологический институт (филиал)

федерального государственного бюджетного образовательного учреждения

высшего профессионального образования

«Казанский национальный исследовательский технологический университет»

**Тумаева Е.В., Ганиев Р.Н., Гаврилов Е.Н.**

**ЭЛЕМЕНТЫ СИСТЕМ АВТОМАТИКИ**

УЧЕБНОЕ ПОСОБИЕ

**Нижнекамск**

**2015**

УДК 621.377

**Т 83**

Печатается по решению редакционно-издательского совета НХТИ ФГБОУ ВПО «КНИТУ».

**Рецензенты:**

**Абдуллин А. М.,** кандидат технических наук;

**Касаткин И. И.,** главный энергетик

ООО «Нижнекамский завод грузовых шин».

**Тумаева, Е. В.,**

**Т 68** Элементы систем автоматики : учебное пособие / Е. В. Тумаева, Р.Н. Ганиев, Е. Н. Гаврилов. – Нижнекамск : НХТИ ФГБОУ ВПО «КНИТУ», 2015. – 83 с.

Рассмотрено устройство, принцип действия, области применения некоторых типов датчиков, а также базовые элементы цифровой схемотехники. Для лучшего усвоения теоретического материала приведены методические по проведению лабораторных работ, выполнение которых осуществляется в лаборатории кафедры ЭТЭОП.

Учебное пособие предназначено для бакалавров, обучающихся по направлению подготовки 13.03.02 «Электроэнергетика и электротехника», профилям «Электропривод и автоматика», «Электроснабжение» при изучении дисциплин «Элементы систем автоматики», «Системы управления электроприводов», «Компьютерная и микропроцессорная техника в исследовании и управлении электроприводов», «Электроника».

Могут быть полезны магистрам направления 13.03.02 «Электроэнергетика и электротехника» при выполнении НИР.

Подготовлено на кафедре электротехники и энергообеспечения предприятий Нижнекамского химико-технологического института.

**УДК 621.377**

© Тумаева Е.В., Ганиев Р.Н., Гаврилов Е.Н., 2015

© НХТИ ФГБОУ ВПО «КНИТУ», 2015

**СОДЕРЖАНИЕ**

|  |  |
| --- | --- |
| ВВЕДЕНИЕ | 4 |
| 1. ДАТЧИК  ЛАБОРАТОРНАЯ РАБОТА 1 | 5  10 |
| 2. СЕЛЬСИННЫЕ ПЕРЕДАЧИ  ЛАБОРАТОРНАЯ РАБОТА 2 | 13  17 |
| 3. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ  ЛАБОРАТОРНАЯ РАБОТА 3 | 19  29 |
| 4. СУММАТОРЫ  ЛАБОРАТОРНАЯ РАБОТА 4 | 33  36 |
| 5. ТРИГГЕРЫ  ЛАБОРАТОРНАЯ РАБОТА 5 | 38  43 |
| 6. ДВОИЧНЫЕ СЧЕТЧИКИ И ДЕШИФРАТОРЫ  ЛАБОРАТОРНАЯ РАБОТА 6 | 49  62 |
| 7. РЕГИСТРЫ  ЛАБОРАТОРНАЯ РАБОТА 7 | 65  73 |
| ПРИЛОЖЕНИЕ. ОТЕЧЕСТВЕННАЯ СИСТЕМА ОБОЗНАЧЕНИЙ МИКРОСХЕМ | 76 |
| СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ | 82 |

**ВВЕДЕНИЕ**

В современном промышленном производстве важную роль выполняют автоматические и автоматизированные системы управления технологическим оборудованием и процессами. Для эффективного решения задач автоматизации производства необходимо осуществлять подготовку специалистов, способных разрабатывать и обслуживать в процессе эксплуатации системы управления различными машинами, установками и технологическими комплексами, построенные на базе современных технических средств автоматики.

В учебном пособии рассмотрены основные понятия и определения различных датчиков контролируемых величин, в первую очередь датчиков, применяемых в системах автоматики электроприводов. К ним относятся потенциометрические датчики, фотодатчики, сельсинные передачи, датчики токов и напряжений, цифровые преобразовательные элементы, обеспечивающие обработку цифровых сигналов. Описываются их устройство, технические характеристики, средства программирования и функциональные возможности.

В конце каждого тематического раздела приводятся методики выполнения лабораторных работ по представленным материалам.

Пособие может также использоваться при выполнении лабораторных работ по дисциплинам «Элементы систем автоматики», «Электропривод в современных технологиях».

**1. ДАТЧИКИ**

Датчик - это элемент измерительного, сигнального, регулирующего или управляющего устройства, преобразующий контролируемую величину (температуру, давление, частоту, силу света, электрическое напряжение, ток и т. д.) в сигнал, удобный для измерения, передачи, хранения, обработки, регистрации, а иногда и для воздействия им на управляемые процессы; это устройство, преобразующее входное воздействие любой физической величины в сигнал, удобный для дальнейшего использования.

В зависимости от вида входной (измеряемой) величины различают:

* датчики механических перемещений (линейных и угловых);
* пневматические;
* электрические;
* расходомеры;
* датчики скорости, ускорения, усилия, температуры, давления и др.

По виду выходной величины, в которую преобразуется входная величина, различают неэлектрические и электрические:

* датчики постоянного тока (ЭДС или напряжения);
* датчики амплитуды переменного тока (ЭДС или напряжения);
* датчики частоты переменного тока (ЭДС или напряжения);
* датчики сопротивления (активного, индуктивного или емкостного) и др.

Большинство датчиков являются электрическими. Это обусловлено следующими достоинствами электрических измерений:

* электрические величины удобно передавать на расстояние, причем передача осуществляется с высокой скоростью;
* электрические величины универсальны в том смысле, что любые другие величины могут быть преобразованы в электрические и наоборот;
* они точно преобразуются в цифровой код и позволяют достигнуть высокой точности, чувствительности и быстродействия средств измерений.

По принципу действия датчики можно разделить на два класса:

* генераторные, которые осуществляют непосредственное преобразование входной величины в электрический сигнал;
* параметрические (датчики-модуляторы), которые входную величину преобразуют в изменение какого-либо электрического параметра (R, L или С) датчика.

По принципу действия датчики также можно разделить на такие категории:

* омические;
* реостатные;
* фотоэлектрические (оптико-электронные);
* индуктивные;
* емкостные и др.

Различают три класса датчиков по физической структуре сигнала:

* аналоговые датчики, то есть датчики, вырабатывающие аналоговый сигнал, пропорциональный изменению входной величины;
* цифровые датчики, генерирующие последовательность импульсов или двоичное слово;
* бинарные (двоичные) датчики, которые вырабатывают сигнал только двух уровней: "включено/выключено" (0 или 1).

Рассмотрим требования, предъявляемые к датчикам:

* однозначная зависимость выходной величины от входной;
* стабильность характеристик во времени;
* высокая чувствительность;
* малые размеры и масса;
* отсутствие обратного воздействия на контролируемый процесс и на контролируемый параметр;
* работа при различных условиях эксплуатации;
* различные варианты монтажа.

Чувствительность датчика показывает степень изменения выходной величины в зависимости от изменения входной. Наименьшее изменение входной величины, вызывающее заметное изменение выходного сигнала, называют порогом чувствительности датчика.

Потенциометрические датчики предназначены для преобразования механического перемещения в электрический сигнал. Основной частью датчика является реостат, сопротивление которого изменяется при перемещении движка, скользящего по проволоке (рис. 1.1, а). Напряжение питания подается на всю обмотку реостата через неподвижные выводы этой обмотки. Выходное напряжение, пропорциональное перемещению движка, снимается с одного из неподвижных выводов и с подвижного движка. Такая схема включения в электротехнике называется потенциометрической или схемой делителя напряжения. Если сопротивление всей обмотки датчика обозначить через R, а сопротивление части этой обмотки, с которой снимается выходное напряжение, через, то потенциометрическая схема включения датчика может быть представлена как последовательное соединение резисторов с сопротивлением и (рис. 1.1, б).

Ток через обмотку датчика:

, (1.1)

а приложенное напряжение распределяется между последовательно соединенными резисторами:

. (1.2)

Если сопротивление обмотки равномерно распределить по длине *L*, а перемещение движка обозначить через х, то выходное напряжение датчика:

(1.3)

Таким образом, выходной сигнал датчика пропорционален перемещению движка.

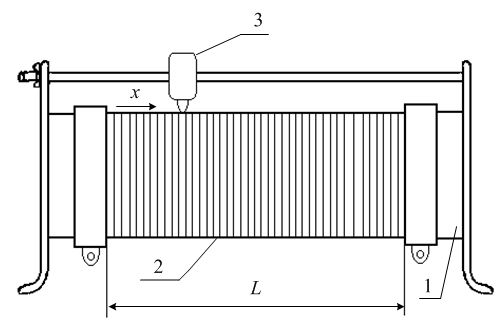


а) б)

**Рис. 1.1.** Схема включения потенциометрического датчика

В зависимости от закона изменения сопротивления обмотки различают линейные и функциональные потенциометрические датчики.

Конструктивно потенциометрический датчик (рис 1.2) состоит из каркаса 1, на котором намотана в один слой обмотки 2 из тонкого провода. По виткам обмотки скользит движок (щетка) 3, который механически связан с объектом, перемещение которого надо измерить. Обмотка выполнена из изолированного провода, а дорожка, по которой скользит движок, предварительно очищена от изоляции. Каркас выполнен обычно плоским или в виде цилиндра. Материалом каркаса может быть изолятор (текстолит, гетинакс, керамика, пластмасса) или металл, покрытый слоем изоляции. Металлические каркасы благодаря лучшей теплопроводности позволяют получить большую мощность электрического сигнала на выходе датчика. В качестве материала для такого каркаса может быть нанесен слой оксидированного алюминия толщиной около 10 мкм. Напряжение пробоя такого слоя не менее 500 В.



**Рис. 1.2.** Конструктивная схема потенциометрического датчика

Основной характеристикой потенциометрического датчика является зависимость выходного напряжения от перемещения . При равномерной намотке эта зависимость линейная только на холостом ходу, то есть при отсутствии сопротивления нагрузки, подключенной к выходным зажимам датчика. В реальных условиях к этим зажимам подключаются электрические приборы, входное сопротивление которых является сопротивлением нагрузки для датчика (рис.1.3).

Под нагрузкой обычно понимается ток нагрузки. Когда говорят что «нагрузка отсутствует», то подразумевают, что именно ток нагрузки равен нулю. Сопротивление же нагрузки при этом (в режиме холостого хода) равно бесконечности.

Достоинства потенциометрических датчиков:

1) простота конструкции;

2) возможность получения прямолинейной характеристики;  
 3) отсутствие необходимости последующего усиления.   
 Недостатки:  
 1) заниженная надежность из - за скользящего электроконтакта;  
 2) подгорание контактов, относительно большие перемещения движка.



**Рис. 1.3.** Подключение нагрузки к потенциометрическому датчику

Выходное напряжение реверсивных датчиков изменяет знак (полярность) при изменении знака входного сигнала. В системах автоматического регулирования обычно требуется именно реверсивные (или двухтактные) датчики.



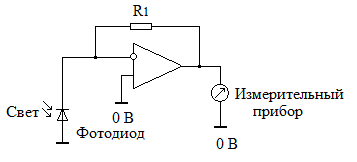
**Рис.** **1.4.** Реверсивная схема потенциометрического датчика

Реверсивный датчик показан на рис. 1.4. В схеме используется потенциометр с неподвижным выводом от средней точки намотки. Выходное напряжение снимается с движка и со средней точки. При переходе движка через среднюю точку выходное напряжение изменяет свой знак: при питании переменным током фаза изменяется на 180˚,а постоянным током - полярность изменяется на противоположную. В маломощных следящих системах в качестве нагрузки мостовой схемы может быть включен якорь исполнительного электродвигателя. При рассогласовании в положениях движков задающего и исполнительного потенциометров через якорь электродвигателей пойдет ток, значение которого будет соответствовать величине рассогласования, а направление - знаку рассогласования. Электродвигатель перемещает исполнительную ось следящей системы до тех пор, пока не будет устранено рассогласование.

Фотоэлектрические датчики реагируют на изменение освещенности. Как правило, фотоэлектрический датчик состоит из источника и приемника светового потока. Источником светового потока может быть сам объект измерения или специальный осветитель (например, в виде обычной лампы накаливания). К приемникам излучения на основе внешнего фотоэффекта относятся электровакуумные или газонаполненные фотоэлементы, фотоэлектронные умножители и передающие электронно-лучевые трубки. К приемникам на основе внутреннего фотоэффекта относятся фоторезисторы и фотодиоды. Все приемники излучения являются электронными и полупроводниковыми приборами.

Фотодиодами называются полупроводниковые приборы, основанные на внутреннем фотоэффекте и использующие одностороннюю проводимость p-n-перехода. Различают 2 режима работы фотодиодов: фотогальванический и фотодиодный. В фотогальваническом режиме не требуется источник питания, поскольку при освещении p-n-перехода появляется ЭДС, под действием которой возникает ток во внешней цепи. В этом режиме фотодиод непосредственно преобразует энергию света в электрическую энергию. В фотодиодном режиме к фотодиоду прикладывается напряжение обратной полярности, т.е. такое, при котором обычный диод не проводил бы ток.

Фотодиоды чаще используются не для целей автоматического измерения, а в схемах фотореле. Для этих же целей используются фототранзисторы, совмещающие свойства фотодиода и усилительного транзистора.



**Рис.** **1.5.** Схема включения фотодиода

Все фотоэлектрические датчики являются селективными (избирательными), т.е. их чувствительность зависит от частоты светового излучения. Иными словами, эти датчики реагируют на определенный цвет: красный, зеленый, синий или другой, включая и невидимую часть спектра (инфракрасное и ультрафиолетовое излучения).

Оценивая фотодатчики, следует отметить их большую универсальность, отсутствие обратного воздействия на объект управления (контроля) — бесконтактность. Недостатками фотодатчиков являются чувствительность к вибрациям, ударам, плохая работа в запыленной, загазованной и влажной среде, помехи от осветительных приборов общего освещения.

***Контрольные вопросы***

1. В чем особенность двухтактной схемы включения потенциометрического датчика?

2. Какие величины позволяют контролировать потенциометрические датчики?

3. Проанализировать характеристику фотодатчика. Указать режим работы фотодиода, его особенности.

#### ЛАБОРАТОРНАЯ РАБОТА № 1

**Цель работы.** Изучение принципов действия и схем включения различных датчиков.

***Программа работы***

**1. Подготовка к работе**

* 1. В чем состоит назначение датчиков в системах автоматики?
  2. По каким признакам классифицируются датчики?
  3. Что такое чувствительность датчика?

**2. Оборудование**

2.1 Комбинированный прибор М92.

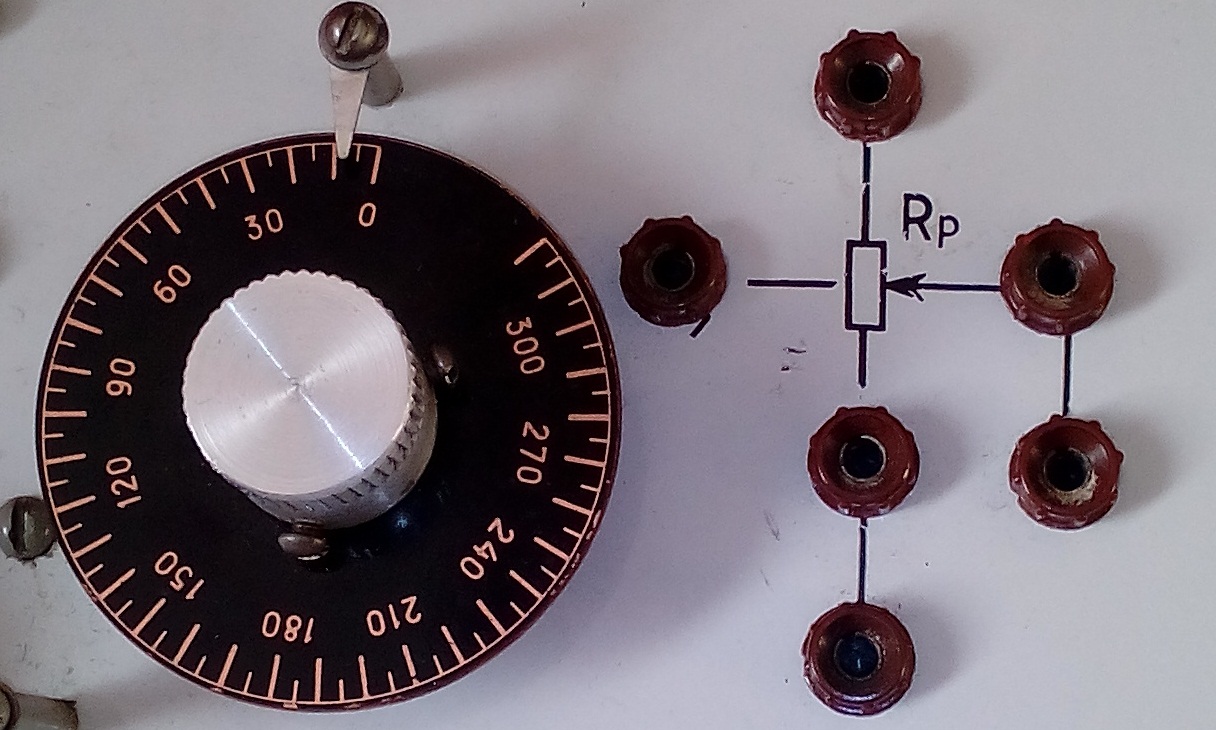
2.2 Переменный резистор ППБ-50Г.

2.3 Фотодиод ФД265А.

**3. Задание №1.** Снятие характеристики потенциометрического датчика.

**4. Задание №2.** Снятие характеристики фотодатчика.

**5. Порядок выполнения задания №1 (Потенциометр).**

****

**Рис.** **1.6.** Участок стенда для потенциометрического датчика

5.1. К резистору , размещенному на лабораторном стенде, подключить постоянное напряжение 20 В.

5.2. Снять характеристику однотактного потенциометрического датчика.

5.2.1. К выходу датчика подключить комбинированный прибор на пределе измерения 20 В.

5.2.2. Поворачивая рукоятку потенциометра , через каждые 30 делений фиксировать по прибору выходное напряжение.

5.2.3. Результаты наблюдений занести в табл. 1.1.

5.2.4. Построить характеристику датчика: .

**Таблица 1.1**

**Результаты наблюдений**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **, дел.** | 0 | 30 | 60 | 90 | 120 | 150 | 180 | 210 | 240 | 270 | 300 |
| **, В** |  |  |  |  |  |  |  |  |  |  |  |

5.3. Снять характеристику двухтактного датчика.

5.3.1. Комбинированный прибор подключить между ползуном и средней точкой потенциометра.

5.3.2. Изменяя положение ползуна датчика, наблюдать за изменением величины и полярности выходного напряжения.

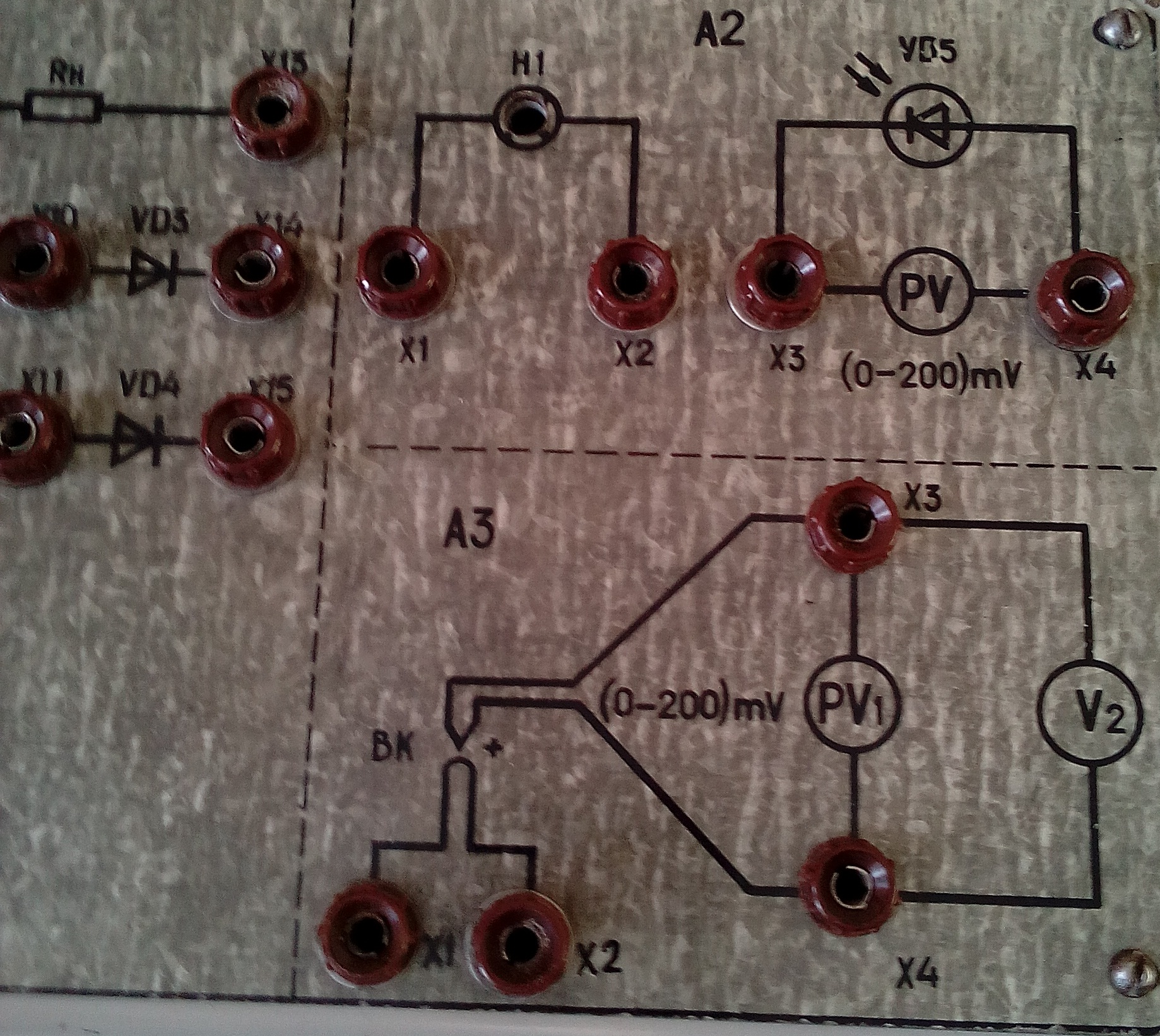
5.3.3.Результаты наблюдений занести в табл. 1.2.

**Таблица 1.2**

**Результаты наблюдений**

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **, дел** | 0 | 30 | 60 | 90 | 120 | 145 | 150 | 180 | 210 | 240 | 270 | 300 |
| **, В** |  |  |  |  |  |  |  |  |  |  |  |  |

**6. Порядок выполнения задания №2 (Фотодиод).**

****

**Рис.** **1.7.** Установка с фотодиодом

6.1. Ознакомиться с блоком 1, сектором А2.

6.2. К резистору , размещенному на стенде, подключить постоянное напряжение 20 В.

6.3. Регулируемое напряжение, снимаемое с , подключить к гнездам Х1, Х2 осветительной лампы(блок 1,А2). Для контроля напряжения освещения к этим же гнездам - Х1,Х2 подключить измерительный прибор на пределе измерения 20 В.

6.4. К гнездам Х3,Х4 фотодиода подключить второй вольтметр на пределе измерения 2 В - для измерения фото ЭДС.

6.5. Результаты измерений занести в табл. 1.3.

**Таблица 1.3**

**Результаты показаний**

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Uосв, В** | 0 | 2 | 4 | 6 | 8 | 10 | 12 | 14 | 16 | 18 |
| **Eф, В** |  |  |  |  |  |  |  |  |  |  |

***Оформление отчета***

1. Зарисовать схемы включения потенциометрического датчика и таблицы результатов №1.1, 1.2.

2. Построить характеристики для каждой схемы:.

3. Определить чувствительность датчика для каждой схемы включения по формуле:

, где дел, дел.

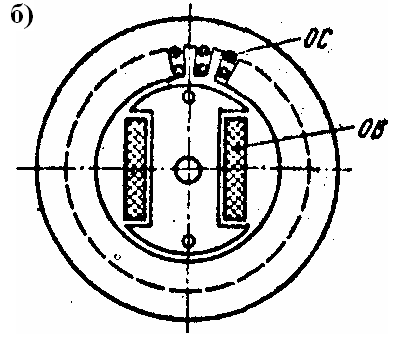
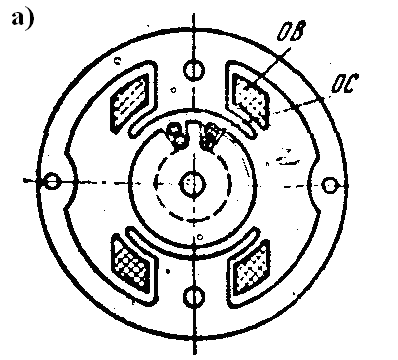
4. Зарисовать схему включения фотодиода и табл. 1.3.

5. Построить характеристику фотодатчика: .

6. Ответить на контрольные вопросы.

**2. СЕЛЬСИННЫЕ ПЕРЕДАЧИ**

Сельсины являются индукционными датчиками угловых перемещений. Действие индукционных датчиков основано на возникновении в обмотке датчика ЭДС само- или взаимоиндукции под влиянием той или иной неэлектрической величины, например перемещения или скорости.



**Рис.** **2.1.** Внешний вид сельсина

Сельсины (рис.2.1) широко используются в схемах дистанционной передачи угловых перемещений. В следящих системах они используются как датчики измерения углового рассогласования, которые совместно с корректирующими и стабилизирующими обратными связями повышают устойчивость системы и улучшают качество ее работы.

Промышленность выпускает различные типы сельсинов, отличающихся конструкцией ротора и статора, расположением обмоток, размерами, частотой питающего напряжения. Сельсин представляет собой малогабаритную электрическую машину переменного тока, состоящую из статора и ротора. Если обмотки располагаются как на статоре, так и на роторе, то сельсин называется контактным из-за наличия скользящих контактов, образованных контактными кольцами ротора и щетками, обеспечивающими соединение роторных обмоток сельсина с внешней электрической цепью. Если на роторе обмотки отсутствуют, сельсин называется бесконтактным.

По выполняемым функциям различают сельсины – датчики, сельсины – приемники, сельсины – трансформаторы и дифференциальные сельсины.

Сельсин – датчик (СД) преобразует угловое перемещение ротора в серию из трех переменных ЭДС.

Сельсин – приемник (СП) выполняет обратное преобразование ЭДС в угол поворота ротора.

Сельсин – трансформатор (СТ) вырабатывает переменную ЭДС, амплитуда и фаза которой зависят от углового рассогласования между его ротором и ротором СД.

Дифференциальный сельсин (ДС) используется для алгебраического суммирования двух угловых перемещений.

В автоматике используют два основных режима работы сельсинов: индикаторный и трансформаторный.

Индикаторный режим работы представлен на рис. 2.2: СД прину-дительно поворачивается на определенный угол, а СП устанавливается в соответствующее ему положение.



**Рис.** **2.2.** Электрическая дистанционная передача угловых перемещений

В схеме использованы два сельсина-СД и СП, имеющих одинаковое конструктивное исполнение. Из рис. 2.2 видно, что оба сельсина находятся в одинаковых условиях, с той лишь разницей, что ротор СД механически связан с задающим устройством ЗУ, угол поворота которого должен воспроизводить СП.

Если угол поворота роторов СД и СП одинаковы, т.е. , то ЭДС индуцируемые потоками Фд и Фп однофазных обмоток сельсинов в одноименных лучах их трехфазных обмоток, будут одинаковы, т.е. их амплитуды можно выразить следующими уравнениями:

; (2.1)

; (2.2)

; (2.3)

; (2.4)

; (2.5)

. (2.6)

Так как , то, ,.

Следовательно, токи в проводах, соединяющих одноименные лучи трехфазных обмоток сельсинов, отсутствуют, то есть, и вращающиеся моменты в сельсинах не возникают.

Однако, если ротор сельсинов повернут на разные углы, , то ЭДС индуцируемые в одноименных лучах трехфазных обмоток, будут различны и в соединительных проводах возникнут уравнительные токи, , , амплитудные значения которых можно выразить следующим образом:

=; (2.7)

=; (2.8)

=; (2.9)

где Z - сопротивление фазы трехфазной обмотки сельсина.

В результате взаимодействия этих токов с магнитными потоками и в сельсинах возникают синхронизирующие вращающие моменты Мс, стремящиеся повернуть роторы сельсинов до устранения углового рассогласования между ними, т.е. до тех пор пока не восстановиться равенство углов.

Значение синхронизирующего момента определяется по формуле:

; (2.10)

где -угол рассогласования или ошибка дистанционной передачи, выраженная в градусах.

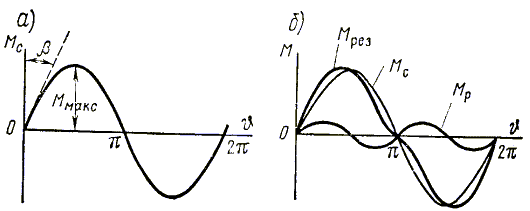
Необходимо отметить, что чем меньше механическая нагрузка на валу СП, тем точнее будут отрабатываться задаваемые углы поворота.

Моментно-угловая зависимость является статической характеристикой сельсинной пары. Представлена на рис. 2.3.

При малых углах рассогласования () статическая характеристика линейна:

; (2.11)

где = -коэффициент передачи.



**Рис.** **2.3.** Моментно-угловая зависимость

Трансформаторный режим работы представлен на рис. 2.4. Сельсины, работающие в трансформаторном режиме, используются для электрического измерения угловых перемещений, т.е. позволяют получить напряжение, зависящее от рассогласования между роторами сельсина-датчика (СД) и сельсина-трансформатора (СТ). Этот режим работы применяется для дистанционного управления следящими приводами, в различных системах автоматики при необходимости преодоления различных моментов сопротивления. Трансформаторная система связи состоит из СД, СТ, линий связи, усилителя У, и исполнительного двигателя ИД.

В трансформаторном режиме согласованным называют такое состояние схемы, когда ЭДС обмотки управления сельсина-приемника равна нулю, а на рисунке показано взаимное расположение обмоток в датчике и приемнике для исходного согласования состояния схемы.



**Рис.** **2.4.** Включение сельсинов в трансформаторном режиме

Трансформаторный режим - СД принудительно поворачивается на определенный угол, а на выходе СП формируется напряжение, являющееся функцией угла рассогласования между ними. В результате такого разбаланса напряжений между обмотками СД и СП ротор СП займет то же положение, что и ротор СД.

Исполнительный двигатель соединен с обмоткой управления. Обмотка возбуждения СД подключена к однофазной сети переменного тока и создает пульсирующее магнитное поле. Пульсирующее магнитное поле наводит в обмотке синхронизации датчика ЭДС, под действием которых в линиях связи и обмотке синхронизации сельсина-трансформатора постоянно протекают токи. Эти токи создают в СТ пульсирующее магнитное поле, направление которого зависит от взаимного расположения роторов СТ и СД. Сцепляясь с обмоткой возбуждения СТ это поле наводит ЭДС-выходное напряжение трансформатора. Величина наводимой ЭДС зависит от взаимного расположения обмоток синхронизации и возбуждения и определяется по формуле:

; (2.12)

где α-угол между осью результирующего магнитного потока и осью поля возбуждения.

Главным требованием к сельсинам, работающим в системах синхронной связи, является точность, которая характеризуется погрешностью:

; (2.13)

где , -максимальное положительное и отрицательное отклонения (в градусах) ротора трансформатора от ротора датчика при повороте на один оборот.

В зависимости от значения сельсины делятся на четыре класса точности. Для первого класса не более ± 30с, а для четвертого не более ± 90с.

***Контрольные вопросы***

1. Что такое сельсин?
2. Для чего предназначены системы дистанционной передачи?
3. Какова структура системы дистанционной передачи, следящей системы?
4. В чем заключается принцип действия индикаторной передачи на сельсинах?
5. От чего зависит точность передачи?
6. Для чего вводится начальный разбаланс в трансформаторной передаче?
7. В чем заключается принцип работы следящей системы?

**лабораторнАЯ работА №2**

**Цель работы.** Исследование индикаторной и трансформаторной передач на сельсинах.

**Программа работы**

Лабораторная работа проводится на стенде (рис. 2.5).

**Оборудование**

1. Сельсины ВД 1404НА
2. Линия связи
3. Комбинированный прибор М92



**Рис.** **2.5.** Внешний вид лабораторной установки по исследованию режимов работы сельсинов

**Индикаторный режим работы сельсинов**

Экспериментальное исследование индикаторного режима.

1. Ознакомиться с элементами системы дистанционной перед размещенными на лабораторном стенде слева от приборов.
2. Соединить линию связи через гнезда *R*1, *R*2, *R*3 обмоток сельсинов.
3. Соединить между собой гнезда С1, С2 обмоток сельсинов подключить их к источнику переменного напряжения 110 В.
4. Зарисовать схему индикаторной передачи (рис. 2.3).
5. Результаты наблюдений занести в табл.2.1.

**Таблица 2.1**

**Результат угла рассогласования**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **αд** | 0 | 30 | 60 | 90 | 120 | 150 | 180 | 210 | 240 | 270 | 300 |
| **αп** |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |

**Трансформаторный режим**

Экспериментальное исследование трансформаторного режима.

1. Отключить обмотку возбуждения сельсина-приемника от напряжения и подключить ее (гнезда С1, С2) к комбинированному прибору на пределе измерения переменного напряжения 200В.
2. Повернуть ротор сельсина-приемника относительно ротора сельсина-датчика на.
3. Поворачивая ротор сельсина-датчика, наблюдать за показаниями прибора (ротор сельсина-приемника зафиксировать).
4. Результаты наблюдений занести в табл.2.2.
5. Зарисовать схему трансформаторной передачи.
6. По данным табл. 2.2 построить характеристику *U*вых=*f* (*αd*) и проанализировать ее.

**Таблица 2.2**

**Результат**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 0 | 30 | 60 | 90 | 120 | 150 | 180 | 210 | 240 | 270 | 300 |
|  |  |  |  |  |  |  |  |  |  |  |  |

**3. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ**

Логические элементы — это элементы, выполняющие про­стейшие логические функции. Объединяет все эти элементы то, что у них есть несколько равноправных входов (от 2 до 12) и один выход, сигнал на котором определяется комбинацией входных сигналов.

Самые распространенные логические функции, выполняемые такими элементами, — это И (в отечественной системе обозначе­ний микросхем — ЛИ), И-НЕ (обозначается ЛА), ИЛИ (обознача­ется ЛЛ) и ИЛИ-НЕ (обозначается ЛЛ). Присутствие слова НЕ в на­звании элемента обозначает только одно — встроенную инверсию сигнала. В международной системе обозначений используются следующие сокращения: АЖ) — функция И, ИАЖ) — функция И-НЕ, ОК — функция ИЛИ, ШК — функция ИЛИ-НЕ.

Название самих функций Ии ИЛИ говорит о том, при каком условии на входах появляется сигнал на выходе. При этом важно помнить, что речь в данном случае идет о положительной логике, о положительных, единичных сигналах на входах и на выходе.

**Таблица 3.1**

**Таблица истинности двухвходовых элементов И, И-НЕ, ИЛИ, ИЛИ-НЕ**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Вход 1** | **Вход 2** | **Выход** | **Выход** | **Выход** | **Выход** |
|  |  | И | И-НЕ | ИЛИ | ИЛИ-НЕ |
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 |

Элемент И формирует на выходе единицу тогда и только то­гда, когда на всех его входах (и на первом, и на втором, и на третьем и т. д.) присутствуют единицы. Если речь идет об эле­менте И-НЕ, то на выходе формируется нуль, когда на всех вхо­дах единицы (табл. 3.1). Цифра перед названием функции гово­рит о количестве входов элемента. Например, 8И-НЕ — это восьмивходовой элемент И с инверсией на выходе. Элемент ИЛИ формирует на выходе нуль тогда и только то­гда, когда хотя бы на одном из входов присутствует единица (или на первом, или на втором, или на третьем и т. д.).

Элемент ИЛИ-НЕ дает на выходе нуль при наличии хотя бы на одном из входов единицы (табл. 3.1). Пример обозначения: 4ИЛИ-НЕ — четырехвходовой элемент ИЛИ с инверсией на выходе.

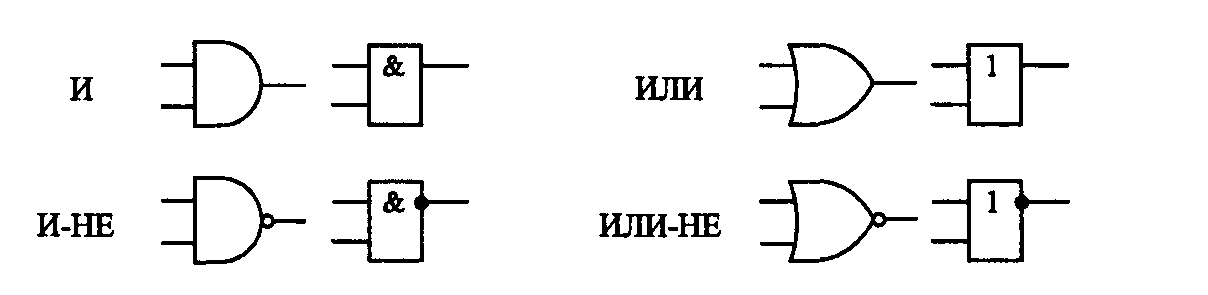


Рис. 3.1. Обозначения элементов И, И-НЕ, ИЛИ, ИЛИ-НЕ: зарубежные (сле­ва) и отечественные (справа)

Отечественные и зарубежные обозначения на схемах двухвходовых элементов И, И-НЕ, ИЛИ, ИЛИ-НЕ показаны на рис. 3.1. Все эти элементы бывают с выходами типа 2С, ОК и ЗС. В послед­нем случае обязательно имеется вход разрешения -Е2.

Нетрудно заметить (см. табл. 3.1), что в случае отрицатель­ной логики, при нулевых входных и выходных сигналах, эле­мент И выполняет функцию ИЛИ, то есть на выходе будет нуль в случае, когда хотя бы на одном из входов нуль. А элемент ИЛИ при отрицательной логике выполняет функцию И, то есть на выходе будет нуль только тогда, когда на всех входах при­сутствуют нули. А так как в реальных электронных устройствах сигналы могут быть любой полярности (как положительные, так и отрицательные), то надо всегда очень аккуратно выбирать требуемый в каждом конкретном случае элемент. Особенно важно помнить об этом тогда, когда последовательно соединя­ются несколько разноименных логических элементов с инвер­сией и без нее для получения сложной функции.

Поэтому разработчику далеко не всегда удобно рассматри­вать элементы И, И-НЕ, ИЛИ, ИЛИ-НЕ именно как выполняю­щие указанные в их названии логические функции. Иногда их удобнее рассматривать как элементы разрешения/запрещения или смешивания/совпадения. Но сначала мы рассмотрим случаи реализации на этих элементах именно логических функций.

На рис. 3.2 приведены примеры формирования элементами выходных сигналов на основании требуемых временных диа­грамм входных и выходных сигналов. В случае а выходной сиг­нал должен быть равен единице при двух единичных входныхсигналах, следовательно, нужен элемент 2И. В случае б выход­ной сигнал должен быть равен нулю, когда хотя бы один из входных сигналов равен единице, следовательно, требуется элемент 2ИЛИ-НЕ. Наконец, в случае в выходной сигнал дол­жен быть равен нулю при одновременном приходе единичного сигнала Вх. 1, нулевого сигнала Вх.2 и единичного сигнала Вх.З. Следовательно, требуется элемент ЗИ-НЕ, причем сигнал Вх.2 надо предварительно проинвертировать.

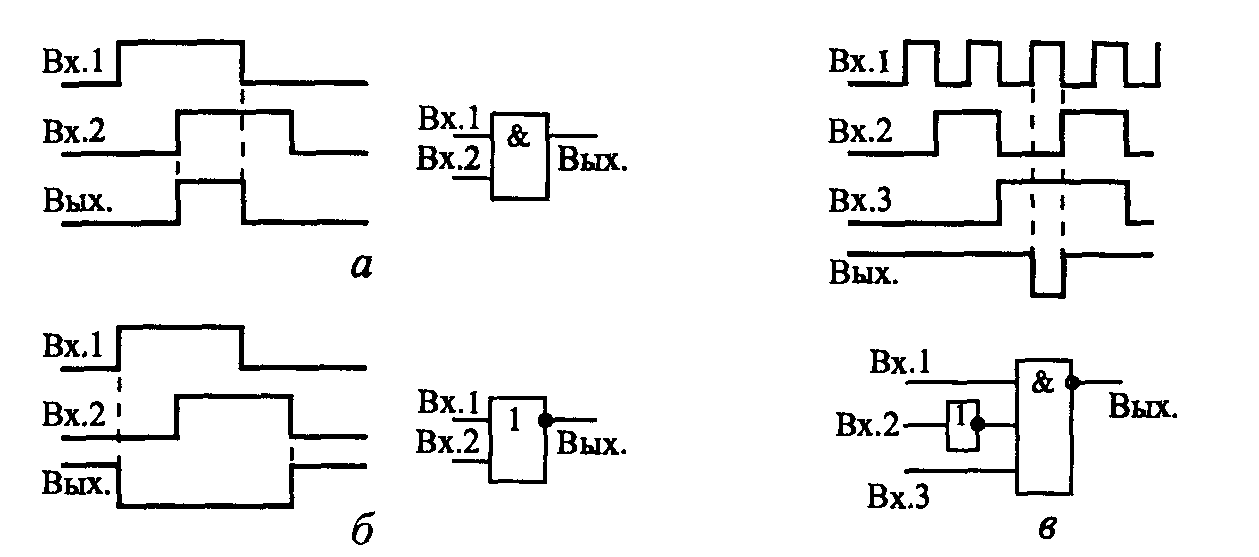


Рис. 3.2. Примеры применения элементов Ии ИЛИ

Любой из логических элементов рассматриваемой группы можно рассматривать как управляемый пропускатель входного сигнала (с инверсией или без нее).

Например, в случае элемента 2И-НЕ один из входов можно считать информационным, а другой — управляющим. В этом случае при единице на управляющем входе выходной сигнал будет равен проинвертированному входному сигналу, а при ну­ле на управляющем входе выходной сигнал будет постоянно ра­вен единице, то есть прохождение входного сигнала будет за­прещено. Элементы 2И-НЕ с выходом ОК часто используют именно в качестве управляемых буферов для работы на мульти­плексированную или двунаправленную линию.

Точно так же в качестве элемента разрешения/запрещения могут применяться элементы И, ИЛИ, ИЛИ-НЕ (рис. 3.3). Раз­ница между элементами состоит только в полярности управ­ляющего сигнала, в инверсии (или ее отсутствии) входного сиг­нала, а также в уровне выходного сигнала (нуль или единица) при запрещении прохождения входного сигнала

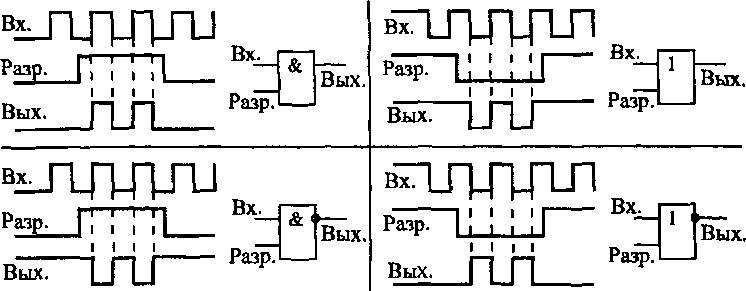


Рис. **3.3.** Разрешение/запрещение прохождения сигналов на элементах И, И-НЕ, ИЛИ, ИЛИ-НЕ

Иногда необходимо реализовать функцию смешивания двух сигналов той или иной полярности. То есть выходной сигнал должен вырабатываться как при приходе одного входного сиг­нала, так и приходе другого входного сигнала. Если оба вход­ных сигнала положительные и выходной сигнал положитель­ный, то мы имеем в чистом виде функцию ИЛИ, и требуется элемент 2ИЛИ. Однако при отрицательных входных сигналах и отрицательном выходном сигнале для такого же смешивания понадобится уже элемент 2И. А если полярность входных сиг­налов не совпадает с нужной полярностью выходного сигнала, то нужны уже элементы с инверсией (И-НЕ при положительных выходных сигналах и ИЛИ-НЕ при отрицательных выходных сигналах). На рис. 3.4 показаны варианты смешивания на раз­ных элементах.

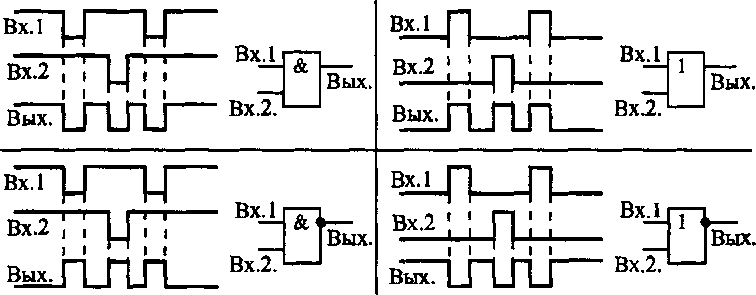


Рис. 3.4. Реализация смешивания двух сигналов

Наконец, элементы И, И-НЕ, ИЛИ, ИЛИ-НЕ иногда бывает удобно рассматривать в качестве схем совпадения различных сигналов. То есть выходной сигнал должен вырабатываться тогда, когда сигналы на входах совпадают (приходят одновре­менно). Если же совпадения нет, то выходной сигнал должен отсутствовать. На рис. 3.5 показаны варианты таких схем совпадения на четырех разных элементах. Различаются они полярностями входных сигналов, а также наличием или отсут­ствием инверсии выходного сигнала.

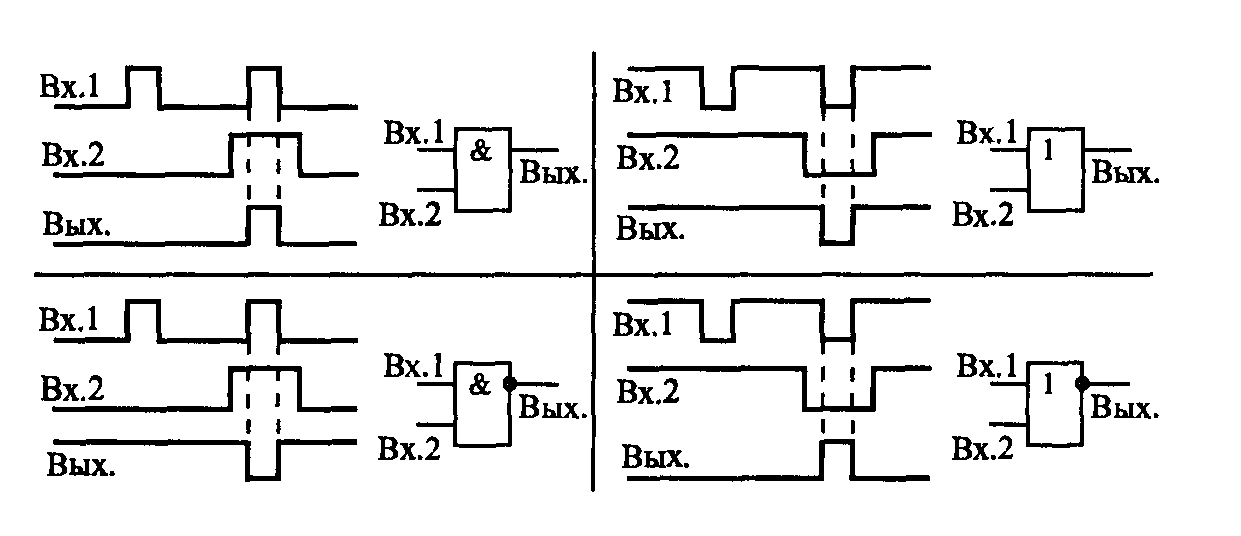


Рис. 3.5 Схемы совпадения двух сигналов

Рассмотрим два примера совместного использования эле­ментов И, И-НЕ, ИЛИ, ИЛИ-НЕ (рис. 3.6).

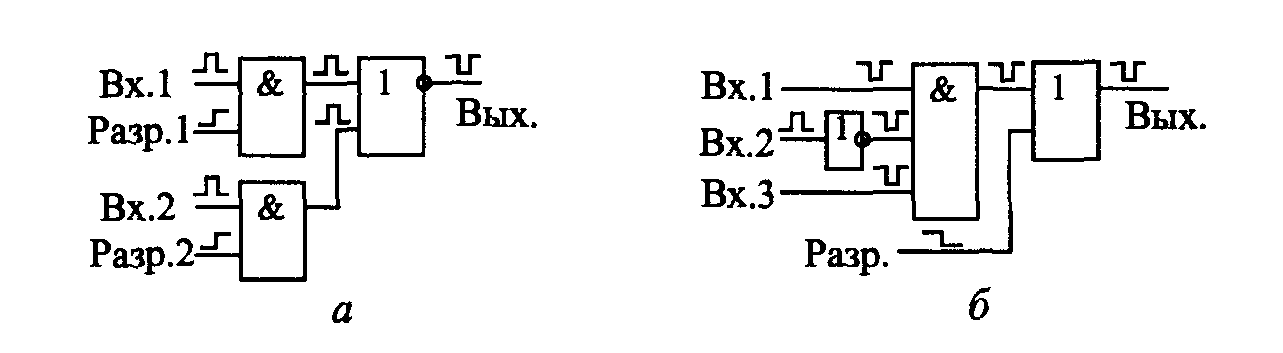


Рис. 3.6. Примеры совместного использования элементов

Пусть необходимо смешать два сигнала, каждый из которых может быть разрешен или запрещен. Пусть полярность входных сигналов и сигналов разрешения положительная, а выходной сигнал должен быть отрицательным. В этом случае надо взять два двухвходовых элемента Ии смешать их выходные сигналы с помощью двухвходового элемента ИЛИ-НЕ (а).

Пусть необходимо смешать два отрицательных сигнала и один положительный сигнал, причем результирующий сигнал может быть разрешен или запрещен. Полярность сигнала раз­решения — отрицательная, полярность выходного сигнала — отрицательная. Для этого нужно взять трехвходовой элемент И, инвертор для отрицательного входного сигнала и двухвходовой элемент ИЛИ (б).

Элементы И, И-НЕ, ИЛИ, ИЛИ-НЕ могут использоваться также в качестве инверторов или повторителей (рис. 3.7), для чего необходимо объединить их входы или на неиспользуемые входы подать сигнал нужного уровня. Второе предпочтитель­нее, так как объединение входов не только увеличивает входной ток, но и несколько снижает быстродействие элементов.

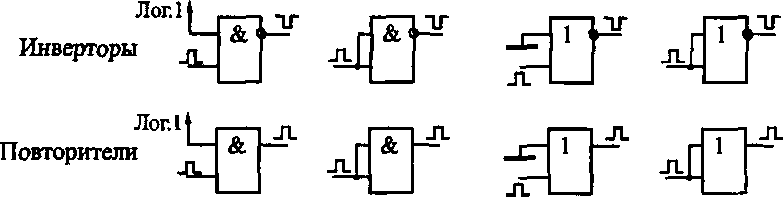


Рис. 3.7 Инверторы и повторители

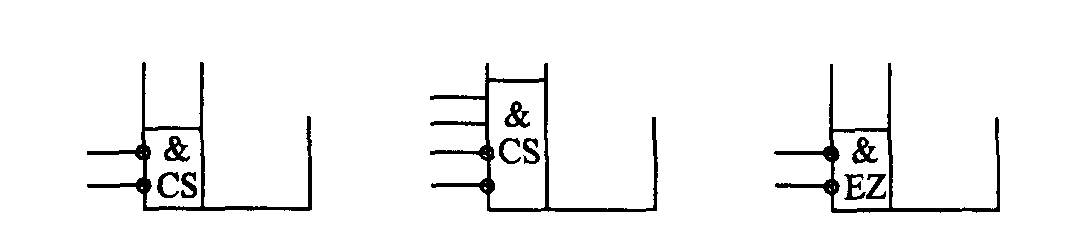


Рис. 3.8. Объединение по И входов микросхем

По функции И часто объединяются входы более сложных микросхем. То есть какая-то функция выполняется только тогда, когда на все объединенные по И входы поступают сигналы нужной полярности. Чаще всего по И объединяются входы вы­бора микросхемы СЗ и входы управления третьим состоянием выхода микросхемы Е2. На рис. 3.8 показано три примера та­кого объединения по И. При этом надо учитывать, что на ин­версные входы для выполнения функции должны поступать ну­левые сигналы, а на прямые входы — единичные сигналы. Примерами могут служить микросхемы КР556РТ4, КР556РТ5, КР1533АП14, КР1533АП15.

До сих пор, рассматривая элементы И, И-НЕ, ИЛИ, ИЛИ- НЕ, мы не выходили за рамки первого уровня представления (логической модели). Это вполне допустимо в том случае, когда входные сигналы элементов не меняются одновременно или почти одновременно, когда их фронты разнесены во времени существенно (больше, чем на время задержки элемента). При одновременном изменении входных сигналов все будет гораздо сложнее, необходимо привлекать второй, а иногда и третий уро­вень представления. В момент изменения входных сигналов вы­ходной сигнал становится неопределенным, нестабильным, не­предсказуемым. В результате этого при неправильном проекти­ровании может не работать вся сложная схема, целый прибор или даже большая система.

Например, возьмем логический элемент 2И-НЕ. Пусть на его входы приходят сигналы, изменяющиеся одновременно, причем в противофазе, то есть один переключается из нуля в единицу, а другой — из единицы в нуль. Пусть по тем или иным причинам (вследствие передачи по проводам, вследствие разных задержек элементов и т. д.) один из сигналов чуть-чуть сдвинулся во вре­мени относительно другого (рис. 3.9). При этом на двух входах в течение кратковременного периода будет присутствовать два единичных сигнала. В результате выход начнет переключаться из единицы в нуль. Он может успеть переключиться, и тогдасформируется короткий импульс. Он может не успеть переклю­читься, и тогда импульса не будет. Он может иногда успевать переключиться, а иногда не успевать, и тогда выходной импульс то будет появляться, то не будет. Здесь все зависит от быстро­действия элемента и величины задержки. Последняя ситуация наиболее неприятна, так как может вызвать нестабильную неис­правность, выявить которую крайне сложно.

На этапе проектирования схемы бороться с такими паразит­ными импульсами довольно просто: достаточно выбрать такое схемотехническое решение, при котором вся дальнейшая схема просто не реагировала бы на эти импульсы, например, отключа­лась на некоторое время после изменения входных сигналов элементов. То есть необходимо временное согласование, син­хронизация различных элементов схемы.

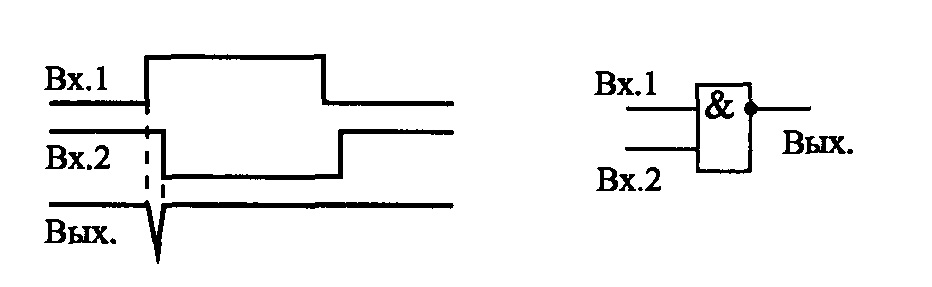
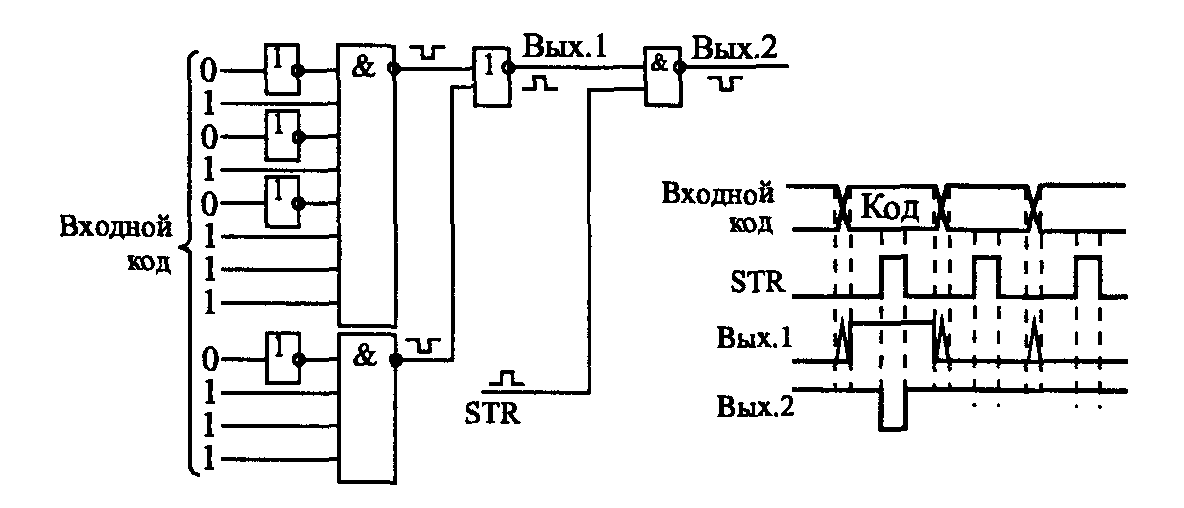


Рис. 3.9. Короткий импульс на выходе элемента 2И-НЕ

В качестве примера рассмотрим одно из самых распростра­ненных применений рассматриваемых элементов И, И-НЕ, ИЛИ, ИЛИ-НЕ — селектирование кодов. Суть селектирования сводится к следующему. Пусть имеется некоторая шина, по ко­торой передаются коды. Необходимо выявить появление на этой шине какого-то определенного кода, то есть сформировать вы­ходной сигнал, соответствующий требуемому входному коду.

Схема, выполняющая такую функцию, довольно проста (рис. 3.10). В ее основе — многовходовые элементы И-НЕ. При этом сигналы, соответствующие разрядам кода, в которых должны быть единицы, подаются на входы элементов И-НЕ не­посредственно. А сигналы, соответствующие разрядам кода, в которых должны быть нули, подаются на входы элементов И- НЕ через инверторы. Выходные сигналы элементов И-НЕ объе­диняются с помощью элемента ИЛИ-НЕ. В результате на выхо­де элемента ИЛИ-НЕ формируется сигнал Вых.1 в тот момент, когда на входе присутствует нужный код.



**Рис.** **3.10.** Селектирование кодов со стробированием

Однако в момент установления нужного кода и в момент его снятия возникает период неопределенности, когда в выходном сигнале могут быть короткие паразитные импульсы. Это связа­но как с неодновременным приходом различных разрядов, так и с внутренними задержками нашей схемы. Более того, короткие паразитные импульсы могут возникать на выходе и в том слу­чае, когда любой входной код меняется на любой другой входной код, даже если оба этих кода не селектируются нашей схемой. То есть любое изменение кода всегда сопровождается периодом не­определенности в сигнале Вых.1.

Как же добиться, чтобы выходной сигнал не имел паразит­ных импульсов, не имел периодов неопределенности? Для этого обычно используется стробирование или тактирование переда­ваемого кода. То есть помимо кода параллельно с ним передает­ся стробирующий или тактирующий сигнал ЗТК, задержанный во времени относительно кода. Активным этот сигнал становит­ся тогда, когда все предыдущие переходные процессы уже за­вершены, все разряды кода установились в нужные уровни и схема, обрабатывающая код, тоже закончила свою работу. А пассивным этот сигнал становится до начала новых переход­ных процессов. Это называется вложенным циклом (то есть в нашем случае сигнал 8ТД вложен в сигналы кода). В результа­те, если мы будем разрешать выходной сигнал нашей схемы Вых.1 таким сигналом 8ТК с помощью элемента 2И-НЕ, то мы получим сигнал Вых.2, свободный от паразитных импульсов и периодов неопределенности.

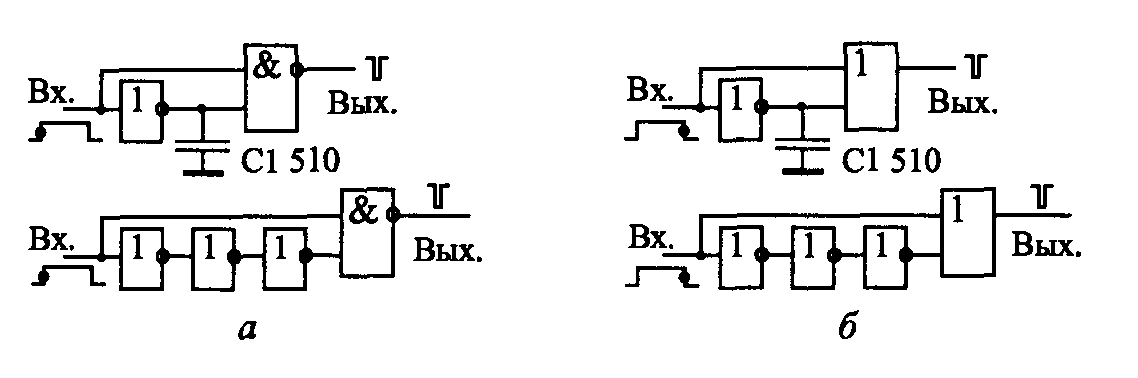


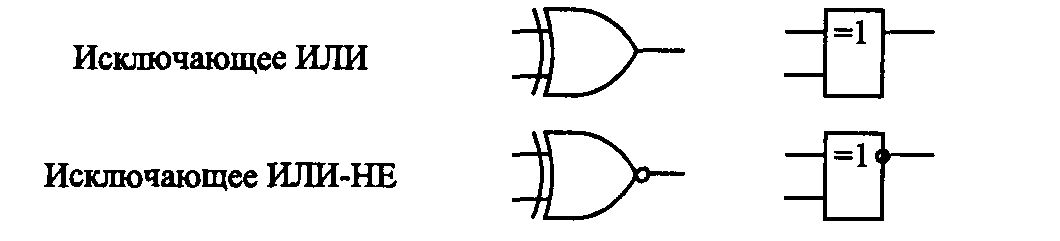
Рис. 3.11. Формирователи коротких импульсов по фронту входного сигнала

Однако бывают случаи, когда указанная особенность эле­ментов И, И-НЕ, ИЛИ, ИЛИ-НЕ формировать короткие им­пульсы при изменении входных сигналов оказывается очень полезной. Например, нам необходимо сформировать короткий импульс по положительному или отрицательному фронту имеющегося сигнала. Тогда этот сигнал инвертируют, специ­ально задерживают с помощью цепочки элементов или емко­сти и подают исходный сигнал и задержанный сигнал на входы элемента (рис. 3.11).

Импульс по положительному фронту входного сигнала фор­мируется на элементе 2И или 2И-НЕ (а), а импульс по отрица­тельному фронту входного сигнала — на элементе 2ИЛИ или 2ИЛИ-НЕ (б). Если элемент с инверсией, то выходной импульс будет отрицательным, если без инверсии, то положительным. При указанной на схемах величине емкости длительность им­пульса получается около 50 не. Для увеличения длительности импульса надо увеличивать величину емкости или же количест­во инверторов в цепи задержки (при этом количество инверто­ров обязательно должно быть нечетным).

Элементы Исключающее ИЛИ также можно было бы отнести к простейшим элементам, но функция, выполняемая ими несколько сложнее, чем в случае элемента И или элемента ИЛИ. Все входы элементов Исклю­чающее ИЛИ равноправны, однако ни один из входов не может заблокировать другие входы, установив выходной сигнал к уровню единицы или нуля.

Под функцией Исключающее ИЛИ понимается следующее: единица на выходе появляется тогда, когда только на одном входе присутствует единица. Если единиц на входах две или больше, или если на всех входах нули, то на выходе будет нуль. Таблица истинности двухвходового элемента Исключающее ИЛИ приведена ниже (табл. 3.2). Обозначения, принятые в оте­чественных и зарубежных схемах, показаны на рис. 3.12. Над­пись на отечественном обозначении элемента Исключающее ИЛИ «=1» как раз и обозначает, что выделяется ситуация, когда на входах одна и только одна единица.



**Рис.** **3.12.** Обозначения элементов Исключающее ИЛИ:

зарубежные (слева) и отечественные (справа)

С точки зрения математики, элемент Исключающее ИЛИ вы­полняет операцию так называемого суммирования по модулю 2. Поэтому эти элементы также называются сумматорами по модулю два. Как уже отмечалось в предыдущей главе, обозначается сумми­рование по модулю 2 знаком плюса, заключенного в кружок.

Основное применение элементов Исключающее ИЛИ, прямо следующее из таблицы истинности, состоит в сравнении двух входных сигналов. В случае, когда на входы приходят две еди­ницы или два нуля (сигналы совпадают), на выходе формируется нуль (см. табл. 3.2). Обычно при таком применении на один вход элемента подается постоянный уровень, с которым сравни­вается изменяющийся во времени сигнал, приходящий на дру­гой вход. Но значительно чаще для сравнения сигналов и кодов применяются специальные микросхемы компараторов кодов.

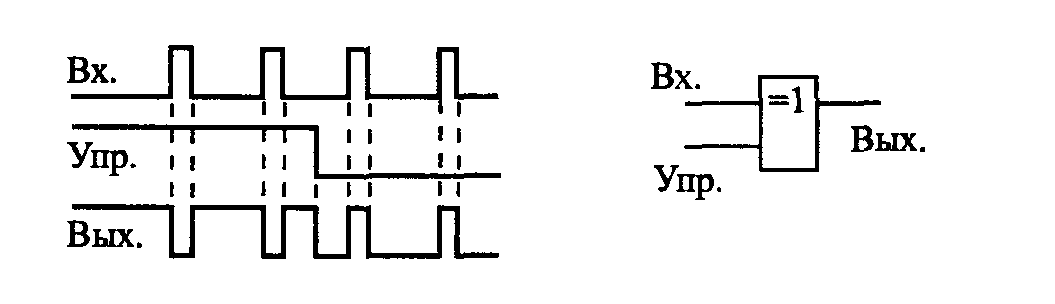
В качестве сумматора по модулю 2 элемент Исключающее ИЛИ используется также в параллельных и последовательных делителях по модулю 2, предназначенных для вычисления цик­лических контрольных сумм.

**Таблица 3.2**

|  |  |  |
| --- | --- | --- |
| **Вход 1** | **Вход 2** | **Выход** |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

**Таблица истинности элемента «Исключающее ИЛИ»**

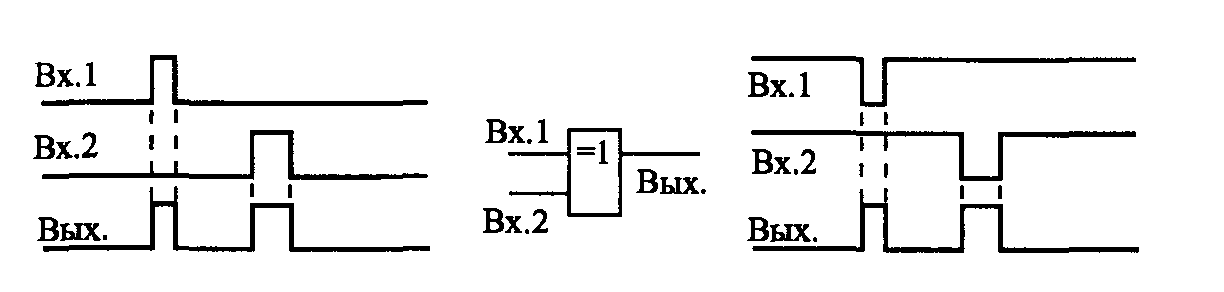
Элементов Исключающее ИЛИ в стандартных сериях не­много. Отечественные серии предлагают микросхемы ЛП5 (че­тыре двухвходовых элемента с выходом 2С), ЛЛЗ и ЛП12, отли­чающиеся от ЛП5 выходом ОК. Слишком уж специфическая функция реализуется этими элементами.



**Рис.** **3.13.** Элемент Исключающее ИЛИ как управляемый инвертор

Важное применение элементов Исключающее ИЛИ — уп­равляемый инвертор (рис. 3.13). В этом случае один из входов элемента используется в качестве управляющего, а на другой вход элемента поступает информационный сигнал. Если на управляющем входе единица, то входной сигнал инвертируется, если же нуль — не инвертируется. Чаще всего управляющий сигнал задается постоянным уровнем, определяя режим работы элемента, а информационный сигнал является импульсным. То есть элемент Исключающее ИЛИ может изменять полярность входного сигнала или фронта, а может и не изменять в зависи­мости от управляющего сигнала.

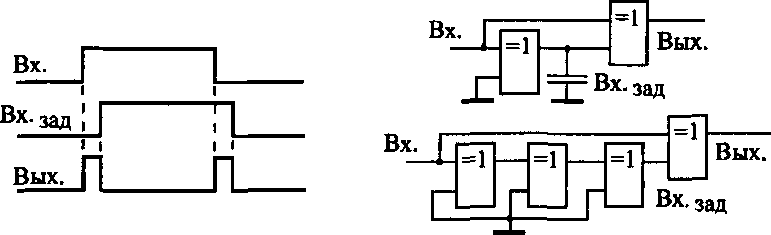
В случае, когда имеется два сигнала одинаковой полярности (положительные или отрицательные), и при этом их одновре­менный приход исключается, элемент Исключающее ИЛИ может быть использован для смешивания этих сигналов (рис. 3.14). При любой полярности входных сигналов выходные сигналы элемента будут положительными. При положительных входных сигналах элемент Исключающее ИЛИ будет работать как элемент 2ИЛИ, а при отрицательных входных сигналах он будет заменять элемент 2И-НЕ. Такие замены могут быть по­лезны в тех случаях, когда в схеме остаются неиспользованны­ми некоторые элементы Исключающее ИЛИ. Правда, при этом надо учитывать, что задержка распространения сигнала в эле­менте Исключающее ИЛИ обычно несколько больше (примерно в 1,5 раза), чем задержка распространения в простейших эле­ментах И, И-НЕ, ИЛИ, ИЛИ-НЕ.



**Рис.** **3.14.** Применение элемента Исключающее ИЛИ

для смешивания двух не­одновременных сигналов

Еще одно важнейшее применение элемента Исключающее ИЛИ — формирование коротких импульсов по любому фронту входного сигнала (рис. 3.15). В данном случае не важно, поло­жительный фронт входного сигнала или отрицательный, на вы­ходе все равно формируется положительный импульс. Входной сигнал задерживается с помощью конденсатора или цепочки элементов, а затем исходный сигнал и его задержанная копия поступают на входы элемента Исключающее ИЛИ. В обеих схемах в качестве элементов задержки используются также двухвходовые элементы Исключающее ИЛИ в неинвертирую-щем включении (на неиспользуемый вход подается нуль). В ре­зультате такого преобразования можно говорить об удвоении частоты входного сигнала, так как выходные импульсы следуют вдвое чаще, чем входные.



**Рис.** **3.15.** Выделение фронтов входного сигнала

с помощью элемента Исклю­чающее ИЛИ

Данную особенность элементов Исключающее ИЛИ надо учитывать в том случае, когда на оба входа элемента поступают одновременно изменяющиеся сигналы. При этом на выходе элемента возможно появление коротких паразитных импульсов по любому из фронтов входных сигналов. Исключить их влия­ние на дальнейшую схему можно, например, с помощью син­хронизации, подобной рассмотренной в предыдущем разделе.

***Контрольные вопросы***

1. Что такое логические элементы? Каковы их достоинства и недостатки.
2. Имеют ли логические элементы внутреннюю память?
3. Сколько входов и выходов может иметь один логический элемент?
4. Составить таблицу истинности логического элемента НЕ.
5. Составить таблицу истинности логических элементов ИЛИ и ИЛИ-НЕ.
6. Составить таблицу истинности логических элементов Ии И-НЕ.

**ЛАБОРАТОРНАЯ РАБОТА №3**

**Цель работы.** Изучение логических микросхем серии К155.

**Оборудование**

1. Микросхемы К155ЛА3, К155ДЛ1, К155ЛИ1, К155ЛЕ1
2. Светодиоды АЛ307БМ
3. Комбинированный прибор М92

**Задание № 1**

Измерение уровней логических сигналов микросхем серии К155

1. Ознакомится с лабораторным блоком №5.
2. Подключить к гнездам ХI 9. JС20 постоянное напряжение 5 В.
3. Измерить с помощью цифрового прибора на пределе измерения 20В напряжение на входе переключателя SA1, затем SA2, соответствующие логической единице и логическому нулю.
4. Результаты занести в табл. 3.3.

**Таблица 3.3**

**Состояния логических элементов**

|  |  |  |
| --- | --- | --- |
| **Состояние переключателя** | **Замкнутое (вкл.)** | **Разомкнутое (выкл.)** |
| Уровень напряжения (В) |  |  |
| Логический сигнал |  |  |
| Состояние светодиода |  |  |

**Задание № 2**

Изучение свойств логических элементов

1. Изучение микросхемы DD1. (Логическая функция НЕ).
   1. Выход переключателя 5 АI. т.е. гнездо Л соединится с входом Х3 микросхемы DD1.
   2. Состояние входа элемента (Х3) и выхода (Х12) фиксировать светодиодами.
   3. Результаты наблюдений и переключений занести в табл. 3.4.

**Таблица 3.4**

**Результаты наблюдений DD1**

|  |  |  |
| --- | --- | --- |
| **Х3** | **Х12** | **VD1** |
| 0 | 1 |  |
| 1 | 0 |  |

1. Изучение микросхемы DD2. (Логическая функция ИЛИ).

2.1 Выход переключателей SА1, SA2. Подключить к входам Х4, Х5 микросхемы.

2.2. Изменяя состояние входов элемента фиксировать с помощью светодиодов состояние выхода (Х13).

2.3. Результаты наблюдений и переключений занести в табл. 3.5.

**Таблица 3.5**

**Результаты наблюдений DD1**

|  |  |  |
| --- | --- | --- |
| **Х4** | **Х5** | **VD2** |
| 0 | 0 |  |
| 0 | 1 |  |
| 1 | 0 |  |
| 1 | 1 |  |

3. Изучение микросхемы DD3. (Логическая функция ИЛИ-НЕ).

3.1. Выход переключателей SА1, SA2. Подключить к входам Х6, Х7 микросхемы.

3.2. Изменяя состояние входов элемента фиксировать с помощью светодиодов состояние выхода (Х14).

3.3. Результаты наблюдений и переключений занести в табл. 3.6.

**Таблица 3.6**

**Результаты наблюдений DD3**

|  |  |  |
| --- | --- | --- |
| **Х6** | **X7** | **VD3** |
| 0 | 0 |  |
| 0 | 1 |  |
| 1 | 0 |  |
| 1 | 1 |  |

4. Изучение микросхемы DD4. (Логическая функция И).

4.1. Выход переключателей SА1, SA2. Подключить к входам Х8, Х9.

4.2. Изменяя состояние входов элемента фиксировать с помощью светодиодов состояние выхода (Х15).

4.3. Результаты наблюдений и переключений занести в табл. 3.7.

**Таблица 3.7**

**Результаты наблюдений DD4**

|  |  |  |
| --- | --- | --- |
| **Х8** | **Х11** | **VD5** |
| 0 | 0 |  |
| 0 | 1 |  |
| 1 | 0 |  |
| 1 | 1 |  |

5. Изучение микросхемы DD5. (Логическая функция И-НЕ)

5.1. Выход переключателей SА1, SA2. Подключить к входам Х10, Х11 микросхемы.

5.2. Изменяя состояние входов элемента фиксировать с помощью светодиодов состояние выхода (Х16).

5.3. Результаты наблюдений и переключений занести в табл. 3.8 (Схема принципиальная приведена на рис.3.16).

**Таблица 3.8**

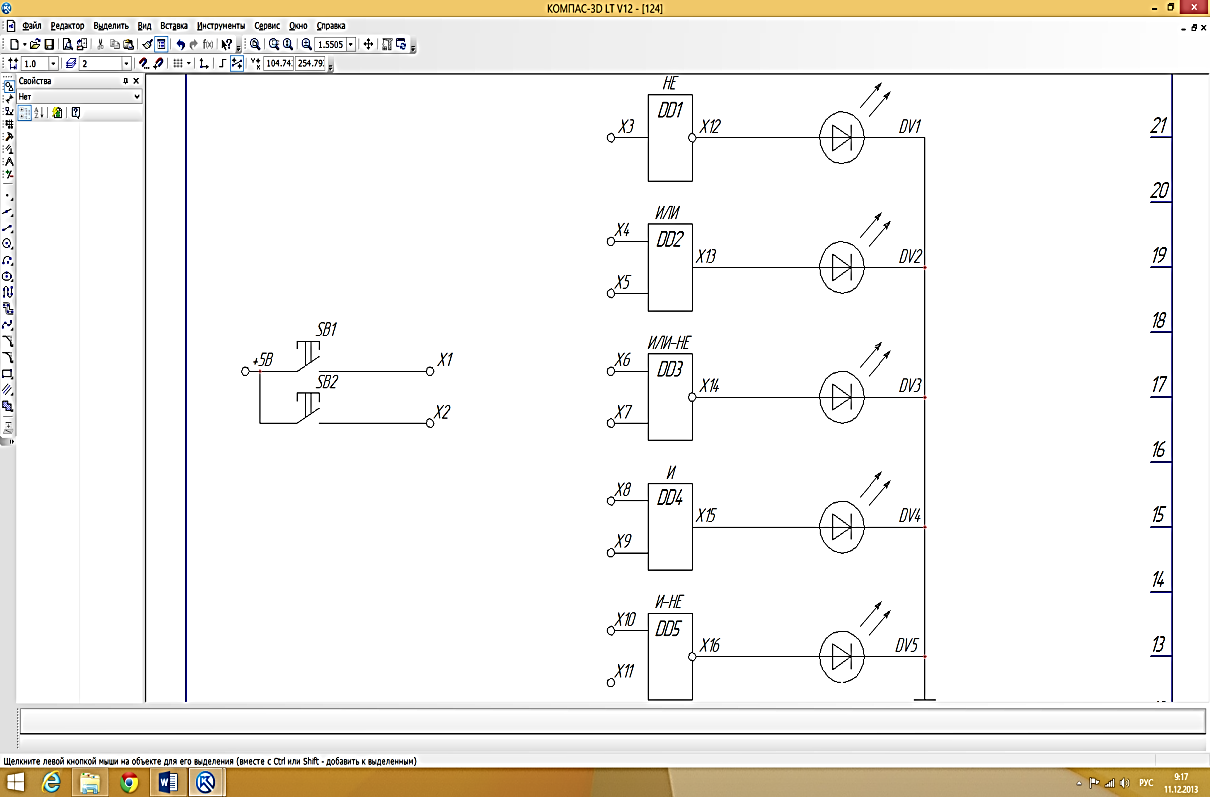
**Результаты наблюдений DD5**

|  |  |  |
| --- | --- | --- |
| **Х10** | **Х11** | **VD5** |
| 0 | 0 |  |
| 0 | 1 |  |
| 1 | 0 |  |
| 1 | 1 |  |

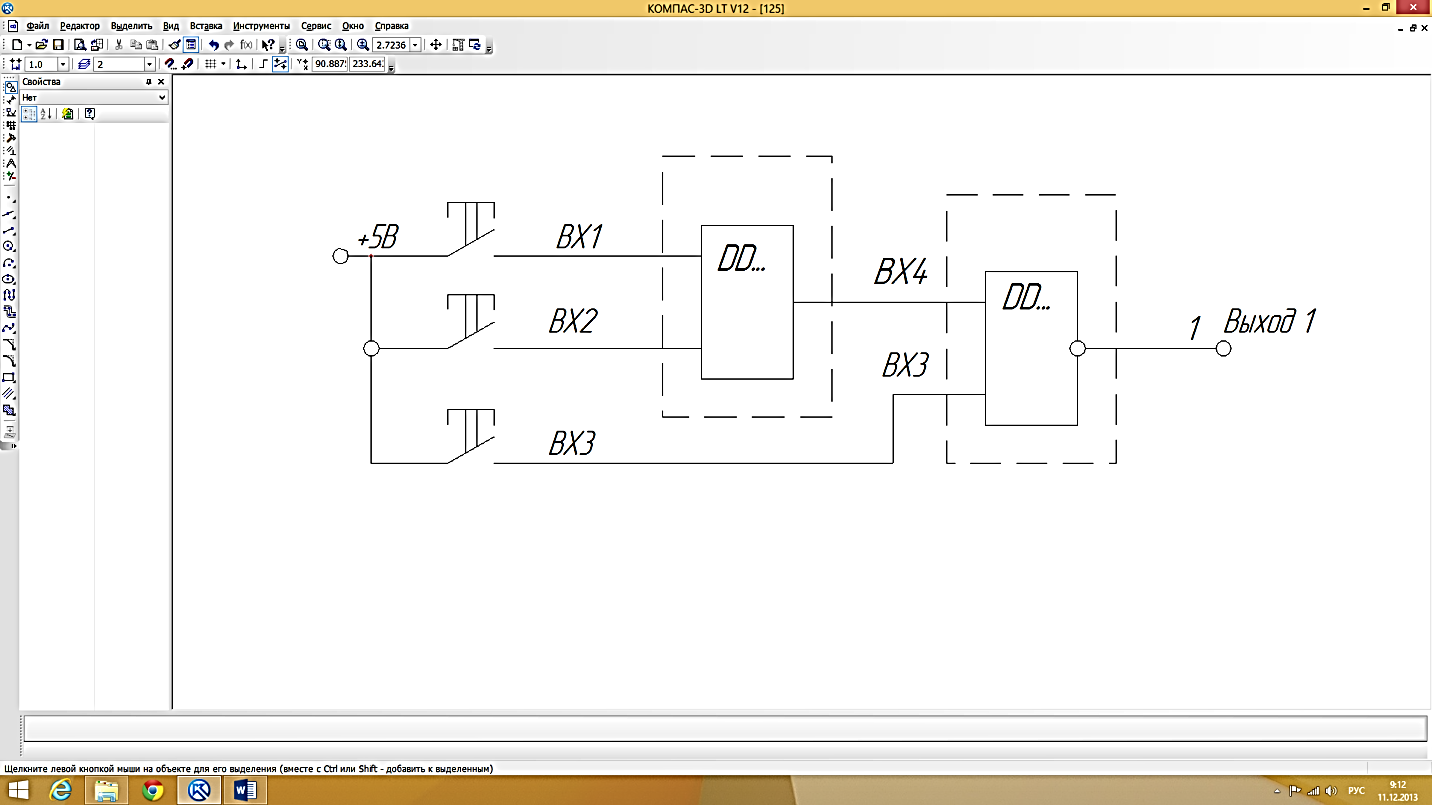
**Задание № 3**

Изучение комбинационных логических схем

1. Составить, затем собрать схему соединений двух логических элементов (произвольную). По аналогам в задании № 2 с пунктом 2 заполнить таблицу истинности схемы.



**Рис.** **3.16.** Принципиальная схема



**Рис.** **3.17.** Схема соединения двух логических элементов

1. Результаты наблюдений и переключений занести в табл. 3.9.

**Таблица 3.9**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Вход1** | **Вход2** | **Вход 4** | **Вход 3** | **Выход 1** |
| 0 | 0 | 0 | 0 |  |
| 0 | 1 | 0 | 0 |  |
| 1 | 0 | 0 | 0 |  |
| 1 | 1 | 1 | 0 |  |
| 0 | 0 | 0 | 1 |  |
| 0 | 1 | 0 | 1 |  |
| 1 | 0 | 0 | 1 |  |
| 1 | 1 | 1 | 1 |  |

***Оформление отчета***

1. Зарисовать условное обозначение всех логических элементов, указать название таблицы истинности.

2. Зарисовать логические схемы (Задание № 3, пункт 1) и их таблицы истинности.

3. Ответить на контрольные вопросы.

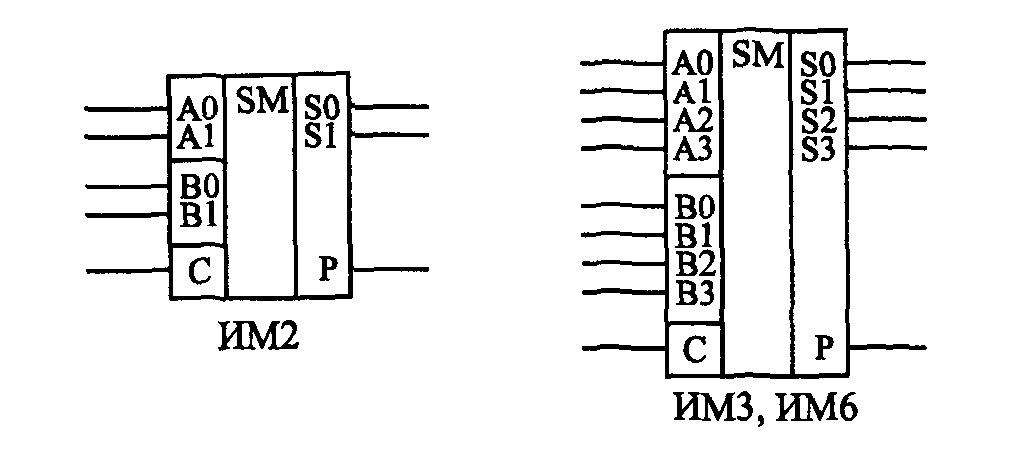
**4. СУММАТОРЫ**

Микросхемы сумматоров (английское Аdder), как следует из их названия, предназначены для суммирования двух входных дво­ичных кодов. То есть выходной код равен арифметической сумме двух входных кодов. Например, если один входной код 0111 (число 7), а второй 0101 (число 5), то суммарный код на выходе будет 1100 (12=7+5). Сумма двух двоичных чисел с чис­лом разрядов N может иметь число разрядов (N+1). Например, при суммировании чисел 13 (1101) и 6 (0110) получается число 19 (10011). Поэтому количество выходов сумматора на единицу больше количества разрядов входных кодов. Этот дополнитель­ный (старший) разряд называется выходом переноса.

На схемах сумматоры обозначаются буквами 8М. В отечест­венных сериях код, обозначающий микросхему сумматора, — ИМ.

Сумматоры бывают одноразрядные (для суммирования двух одноразрядных чисел), двухразрядные (суммируют двухразряд­ные числа) и четырехразрядные (суммируют четырехразрядные числа). Чаще всего применяют именно 4-разрядные сумматоры. На рис. 3.21 показаны для примера 2-разрядный и 4-разрядный сумматоры. Микросхема ИМ6 отличается от ИМЗ только по­вышенным быстродействием и номерами используемых выво­дов микросхемы, функция же выполняется та же самая.

Помимо выходных разрядов суммы и выхода переноса сум­маторы имеют вход расширения (другое название – вход пере­носа) Сдля объединения нескольких сумматоров с целью уве­личения разрядности. Если на этот вход приходит единица, то выходная сумма увеличивается на единицу, если же приходит нуль, то выходная сумма не увеличивается. Если используется одна микросхема сумматора, то на ее вход расширения С необ­ходимо подать нуль.



**Рис.** **4.1.** Примеры микросхем сумматоров

В качестве примера ниже приведена полная таблица истин­ности 2-разрядного сумматора ИМ2 (табл. 3.5). Как видно из таблицы, выходной 3-разрядный код (Р, 51, 80) равен сумме входных 2-разрядных кодов (А1, АО) и (В1, ВО), а также сигна­ла С. Нулевые разряды — младшие, первые разряды — стар­шие. Полная таблица истинности 4-разрядного сумматора будет чрезмерно большой, поэтому она не приводится. Но суть работы остается точно такой же, как и в случае 2-разрядного сумматора.

Сумматоры могут использоваться также для суммирования чисел в отрицательной логике (когда логической единице соот­ветствует электрический нуль, и наоборот логическому нулю со­ответствует электрическая единица). Но в этом случае входной сигнал переноса С также становится инверсным, поэтому при ис­пользовании одной микросхемы сумматора на вход С надо подать электрическую единицу (высокий уровень напряжения). Инверс­ным становится и выходной сигнал переноса Р, низкий уровень напряжения на нем (электрический нуль) соответствует наличию переноса. То есть получается, что сумматор абсолютно одинаково работает как с положительной, так и с отрицательной логикой.

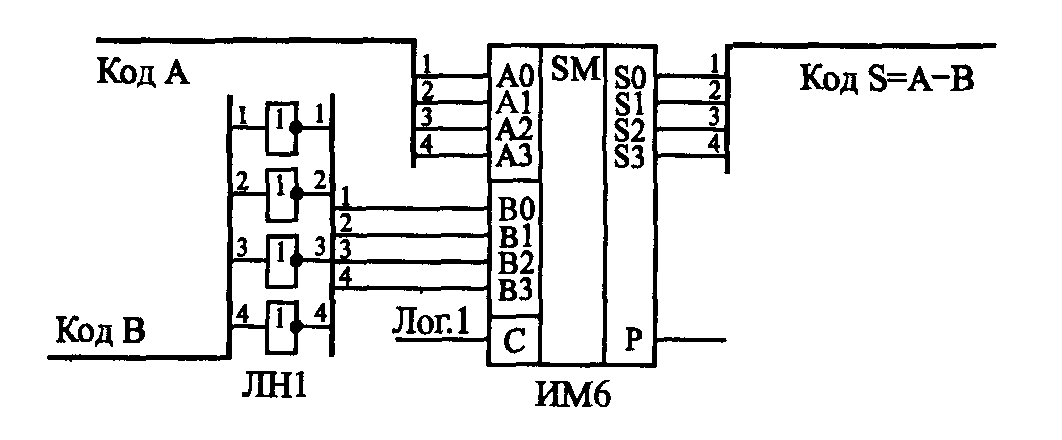
**Таблица 4.1**

**Таблица истинности микросхемы 2-разрядного сумматора ИМ2**

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Входы** | | | | **Выходы** | | | | | |
|  |  |  |  |  | СС=0 |  |  | С=1 |  |
| АА1 | ААО | ВВ1 | ВВО | П Р | 5 S1 | 5 S0 | Р | S1 | S0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | I | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |

Рассмотрим пример. Пусть нам надо сложить два числа 5 и 7 в отрицательной логике. Числу 5 в положительной логике соот­ветствует двоичный код 0101, а в отрицательной логике — код 1010. Числу 7 в положительной логике соответствует двоичный код 0111, а в отрицательной — код 1000. При подаче на вход сумматора кодов 1010 (десятичное число 10 в положительной логике) и 1000 (десятичное число 8 в положительной логике) получаем сумму 10+8=18, то есть код 10010 в положительной логике. С учетом входного сигнала переноса С=1 (то есть отсут­ствие входного переноса в отрицательной логике) выходной код сумматора получится на единицу больше: 18+1=19, то есть 10011. При отрицательной логике это будет соответствовать числу 01100, то есть 12 при отсутствии выходного переноса. В результате получили: 5+7=12.

Сумматор может вычислять не только сумму, но и разность входных кодов, то есть работать вычитателем. Для этого вычи­таемое число надо просто поразрядно проинвертировать, а на вход переноса С подать единичный сигнал (рис.4.2).



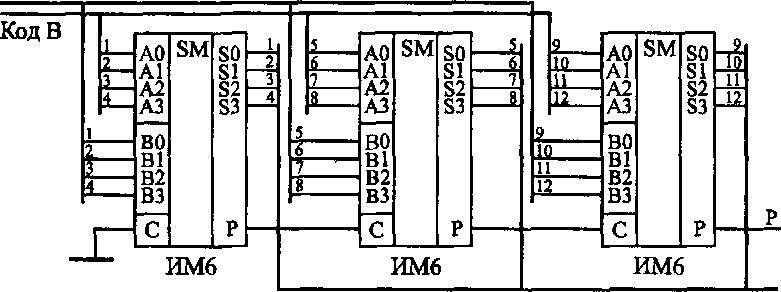
**Рис.** **4.2.** Четырехразрядный вычитатель на сумматоре ИМ6 и инверторах ЛН1

Например, пусть нам надо вычислить разность между чис­лом 11 (1011) и числом 5 (0101). Инвертируем поразрядно число 5 и получаем 1010, то есть десятичное 10. Сумматор при сумми­ровании 11 и 10 даст 21, то есть двоичное число 10101. Если сигнал С равен 1, то результат будет 10110. Отбрасываем стар­ший разряд (выходной сигнал Р) и получаем разность 0110, то есть 6.

Еще пример. Пусть надо вычислить разность между числом 12 (1100) и числом 9 (1001). Инвертируем поразрядно 9, получа­ем 0110, то есть десятичное 6. Находим сумму 12 и 6, получаем 18, а с учетом С = 1 получаем 19, то есть двоичное 10011. В че­тырех младших разрядах имеем 0011, то есть десятичное 3.

Каскадировать сумматоры для увеличения разрядности очень просто. Сигнал с выхода переноса сумматора, обрабаты­вающего младшие разряды, нужно подать на вход переноса сумматора, обрабатывающего старшие разряды (рис. 4.3). При объединении трех 4-разрядных сумматоров получается 12-раз­рядный сумматор, имеющий дополнительный 13 разряд (выход переноса Р).

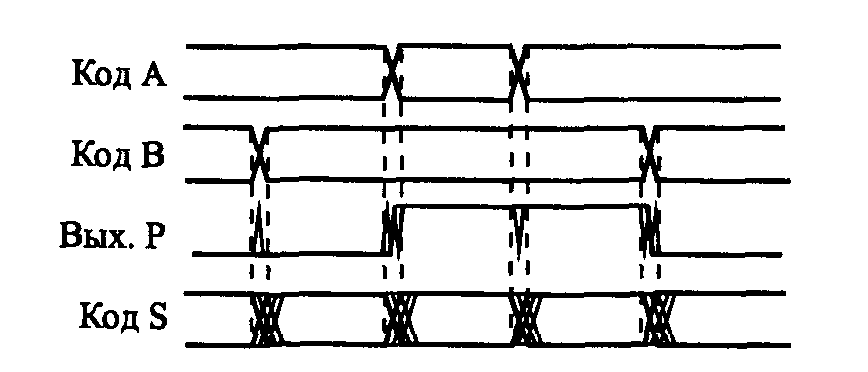
Коды



Код суммы

**Рис.** **4.3.** Каскадирование сумматоров ИМ6 для увеличения разрядности

Неопределенные состояния на выходах сумматора могут возникать при любом изменении любого из входных кодов (рис. 4.4). Выходной код суммы может принимать в течение ко­роткого времени значения, никак не связанные с входными кода­ми, а на выходе переноса могут появляться короткие паразитные импульсы. Это связано, прежде всего, с неодновременным измене­нием разрядов входных кодов. Чтобы избежать влияния этих не­определенных состояний на дальнейшую схему, необходимо пре­дусматривать синхронизацию или стробирование выходных сиг­налов. Но для этого надо иметь информацию о моментах измене­ния входных кодов, которую далеко не всегда можно определить.



**Рис.** **4.4.** Неопределенные состояния на выходах сумматора

при изменении входных кодов

***Контрольные вопросы***

* 1. Расшифровать назначение выводов микросхемы K155ИМ2 и привести ее обозначение с нумерацией выводов.
  2. Привести функциональную схему двухразрядного сумматора.
  3. Проанализировать сложение чисел A=10 и B=11 по функциональной схеме.
  4. Привести таблицу состояний полного одноразрядного сумматора и реализовать ее на элементах логики.

**ЛАБОРАТОРНАЯ РАБОТА №4**

**Цель работы**. Изучение принципа действия двухразрядного двоичного сумматора.

1. **Подготовка к работе**

1.1. Что такое двоичный сумматор и в чем его назначение?

1.2. Для чего нужен выход переноса в сумматоре?

1. **Задание № 1.** Анализ данного сумматора.
2. **Задание № 2.** Изучение принципа работы сумматора.
3. **Порядок выполнения задания № 1**

4.1. Ознакомиться с блоком № 8.

4.2. К гнездам X1, X2 блока подать постоянное напряжение 5 B.

4.3. Проанализировать; какие сигналы поступают на входы сумматора при замыкании ключей S1 - S5.

4.4. То же, при размыкании S1 – S5.

1. **Порядок выполнения задания № 2**

5.1. Установить нулевой сигнал на входе переноса – P1 сумматора .

5.2. Изменяя состояния входов сумматора A1, B1, A2, B2 с помощью ключей S1 - S4. Фиксировать состояния выходов с помощью светодиодов VD1 – VD3.

5.3. Результаты наблюдений занести в табл. 4.2.

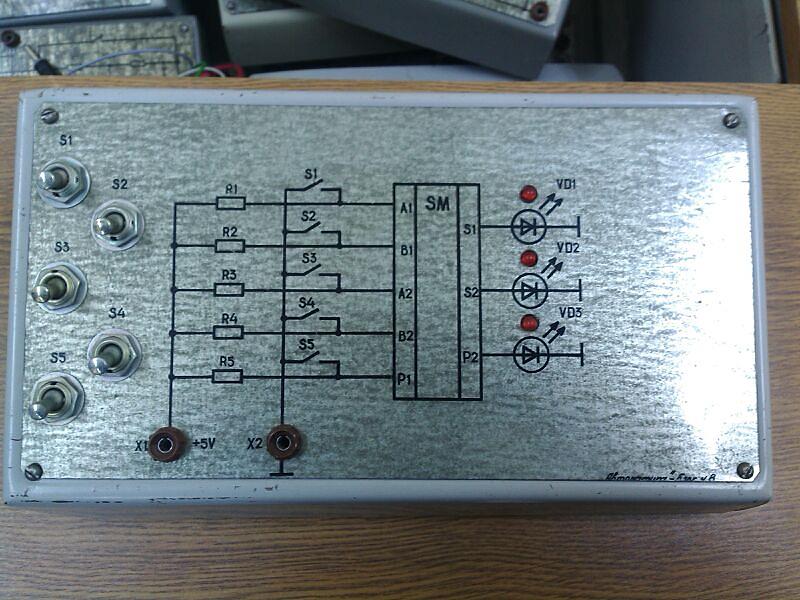
5.4. Установить единичный сигнал на входе переноса P1 сумматора.

5.5. Повторить опыт при P1 = 1 и результаты занести в таблицу, выполненную аналогично табл. 4.2.

**Таблица 4.2**

**Cостояния сумматора**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Перенос** | P1=0 | | | | | |
| **№ опыта** |  | 1 | 2 | 3 | … | 16 |
| **Состояние**  **входов** | A1 |  |  |  |  |  |
| B1 |  |  |  |  |  |
| A2 |  |  |  |  |  |
| B2 |  |  |  |  |  |
| **P1=1**  **Состояние**  **выходов** | S1 |  |  |  |  |  |
| S2 |  |  |  |  |  |
| P2 |  |  |  |  |  |



**Рис.** **4.5.** Стенд для снятия показаний

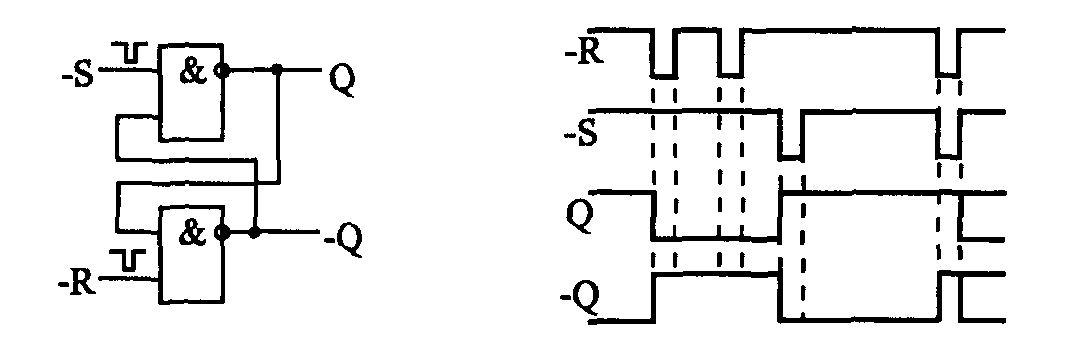
***Оформление отчета***

1. Зарисовать схему включения сумматора и таблицы состояний.

2. Ответить на контрольные вопросы.

**5. ТРИГГЕРЫ**

В основе любого триггера лежит схема из двух логических элементов, которые охвачены положительными обратными связями (то есть сигналы с выхо­дов подаются на входы). В результате подобного включения схема может находиться в одном из двух устойчивых состояний, причем находиться сколь угодно долго, пока на нее подано на­пряжение питания.



**Рис. 5.1.** Схема триггерной ячейки

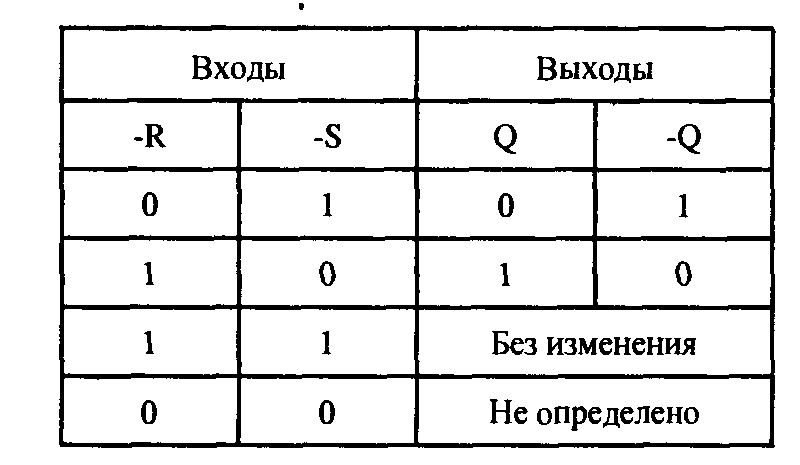
Пример такой схемы (так называемой триггерной ячейки) на двух двухвходовых элементах И-НЕ представлен на рис. 4.1. У схемы есть два инверсных входа: -К — сброс (от английского Кезе!;), и -8 — установка (от английского 8е1), а также два выхо­да: прямой выход О и инверсный выход -(2.

Для правильной работы схемы отрицательные импульсы должны поступать на ее входы не одновременно. Приход им­пульса на вход -К переводит выход в состояние единицы, а так как сигнал -8 при этом единичный, выход О становится ну­левым. Этот же сигнал О поступает по цепи обратной связи на вход нижнего элемента. Поэтому даже после окончания им­пульса на входе -К состояние схемы не изменяется (на (2 остает­ся нуль, на -О остается единица). Точно так же при приходе им пульса на вход -8 выход переходит О в единицу, а выход -О — в нуль. Оба этих устойчивых состояния триггерной ячейки мо­гут сохраняться сколь угодно долго, пока не придет очередной входной импульс, то есть схема обладает памятью.

Если оба входных импульса придут строго одновременно, то в момент действия этих импульсов на обоих выходах будут еди­ничные сигналы, а после окончания входных импульсов выходы случайным образом попадут в одно из двух устойчивых состоя­ний. Точно так же случайным образом будет выбрано одно из двух устойчивых состояний триггерной ячейки при включении питания. Временная диаграмма работы триггерной ячейки пока­зана на рисунке. Таблица истинности схемы приведена ниже (табл. 4.1).

**Таблица 5.1**

**Таблица истинности триггерной ячейки**



В стандартные серии цифровых микросхем входит несколь­ко типов микросхем триггеров, различающихся методами управ­ления, а также входными и выходными сигналами. На схемах триггеры обозначаются буквой Т. В отечественных сериях мик­росхем триггеры имеют наименование ТВ, ТМ и ТР в зависимо­сти от типа триггера. Наиболее распространены три типа триг­геров (рис. 5.2):

* RS-триггер (обозначается ТР) — самый простой, но редко ис­пользуемый триггер (а);
* JK-триггер (обозначается ТВ) имеет самое сложное управле­ние, также используется довольно редко (б);
* D-триггер (обозначается ТМ) — наиболее распространенный тип триггера (в).

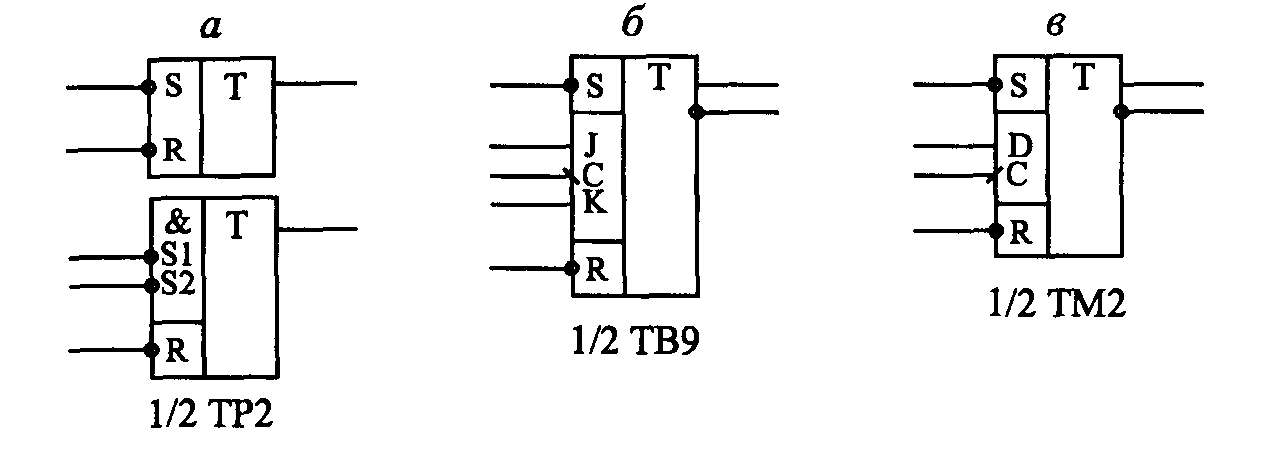


Рис. 5.2 Триггеры трех основных типов.

Примером RS-триггера является микросхема ТР2, в одном корпусе которой находятся четыре RS-триггера. Два триггера имеют по одному входу -R и -S, а два других триггера — по од­ному входу -R и по два входа -S1 и -S2, объединенных по функ­ции И. Все триггеры имеют только по одному прямому выходу. RS-триггер практически ничем не отличается по своим функци­ям от триггерной ячейки, рассмотренной ранее (см. рис. 5.1). Отрицательный импульс на входе -R перебрасывает выход в нуль, а отрицательный импульс на входе -S (или на любом из входов -S1 и -S2) перебрасывает выход в единицу. Одновремен­ные сигналы на входах -R и -S переводят выход в единицу, а по­сле окончания импульсов триггер попадает случайным образом в одно из своих устойчивых состояний. Таблица истинности триггера ТР2 с двумя входами установки -S1 и -S2 представлена ниже (табл. 5.2).

Таблица 5.2

**Таблица истинности RS-триггера ТР2**

|  |  |  |  |
| --- | --- | --- | --- |
| Входы | | | Выход |
| -81 | -52 | -К |  |
| 1 | 1 | 1 | Без изменения |
| X | 0 | 1 | 1 |
| 0 | X | 1 | 1 |
| 1 | 1 | 0 | 0 |
| X | 0 | 0 | Не определен |
| 0 | X | 0 | Не определен |

JK-триггер значительно сложнее по своей структуре, чем RS-триггер. Он относится к так называемым тактируемым триг­герам, то есть он срабатывает по фронту тактового сигнала. Примером может служить показанная на рис. 5.2 микросхема ТВ9, имеющая в одном корпусе два JKтриггера со входами сброса и установки -К. и -8. Входы -К. и -8 работают точно так же, как и в К.8-триггере, то есть отрицательный импульс на вхо­де -К устанавливает прямой выход в нуль, а инверсный — в единицу, а отрицательный импульс на входе -8 устанавливает прямой выход в единицу, а инверсный — в нуль.

Однако состояние триггера может быть изменено не только этими сигналами, но и сигналами на двух информационных входах J и К и синхросигналом С. Переключение триггера в этом случае происходит по отрицательному фронту сигнала С (по переходу из единицы в нуль) в зависимости от состояний сигналов J и К. При единице на входе J и нуле на входе К по фронту сигнала С прямой выход устанавливается в единицу (обратный — в нуль). При нуле на входе Jи единице на входе К по фронту сигнала С прямой выход устанавливается в нуль (об­ратный — в единицу). При единичных уровнях на обоих входах J и К по фронту сигнала С триггер меняет состояние своих вы­ходов на противоположные (это называется счетным режимом).

**Таблица 5.3**

**Таблица истинности JK-триггера ТВ9**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Входы** | | | | | **Выходы** | |
| **-S** | **-R** | **С** | **J** | **K** | **Q** | **-Q** |
| 0 | 1 | X | X | X | 1 | 0 |
| 1 | 0 | X | X | X | 0 | 1 |
| 0 | 0 | X | X | X | Не определено | |
| 1 | 1 | 1—>0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1—>0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1—>0 | 0 | 0 | Не изменяется | |
| 1 | 1 | 1—>0 | 1 | 1 | Меняется на противоположное | |
| 1 | 1 | 1 | X | X | Не изменяется | |
| 1 | 1 | 0 | X | X | Не изменяется | |
| 1 | 1 | 0—>1 | X | X | Не изменяется | |

Все это видно из таблицы истинности триггера ТВ9 (табл. 5.3) и временной диаграммы его работы (рис. 5.3).



Рис. 5.3. Временная диаграмма работы Ж-триггера ТВ9

Наконец, самый распространенный D-триггер занимает, можно сказать, промежуточное положение между RS-триггером и JK-триггером. Помимо общих для всех триггеров входов ус­тановки и сброса -S и -R он имеет один информационный вход И (вход данных) и один тактовый вход С. Примером может служить показанная на рис. 4.2 микросхема ТМ2, содержащая в одном корпусе два D-триггера с прямыми и инверсными выхо­дами.

**Таблица** 5.4

**Таблица истинности D-триггера ТМ2**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Входы** | | | | **Выходы** | |
| **-S** | **-R** | **С** | **D** | **Q** | **-Q** |
| 0 | 1 | X | X | 1 | 0 |
| 1 | 0 | X | X | 0 | 1 |
| 0 | 0 | X | X | Не определено | |
| 1 | 1 | 0—>1 | 1 | 1 | 0 |
| 1 | 1 | 0—>1 | 0 | 0 | 1 |
| 1 | 1 | 0 | X | Не меняется | |
| 1 | 1 | 1 | X | Не меняется | |
| 1 | 1 | 1—>0 | X | Не меняется | |

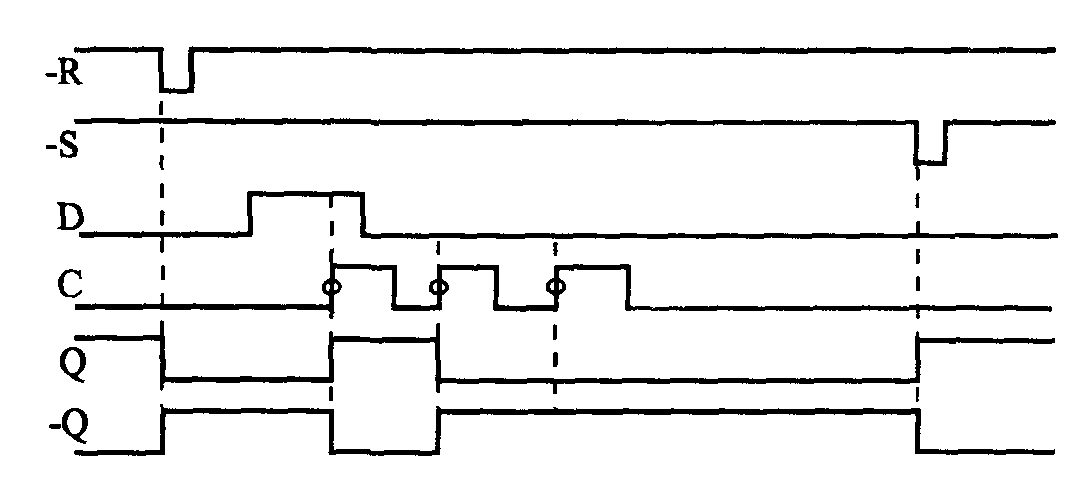


Рис. 5.4. Временная диаграмма работы D-триггера ТМ2.

Тактируется триггер (то есть изменяет свое состояние) по положительному фронту сигнала С (по его переходу из нуля в единицу) в зависимости от состояния входа данных Б. Если на входе Б единичный сигнал, то по фронту сигнала С прямой вы­ход триггера устанавливается в единицу (инверсный — в нуль). Если же на входе Б нулевой сигнал, то по фронту сигнала С прямой выход триггера устанавливается в нуль (инверсный — в единицу).

Таблица истинности триггера ТМ2 представлена выше (табл. 4.4), а временная диаграмма работы показана на рис. 4.4.

Остановимся на работе Б-триггера чуть подробнее, так как он наиболее часто используется. При этом многие замечания, высказываемые здесь относительно Б-триггера, будут верны и для других типов триггеров.

Прежде всего отметим, что все приведенные временные диа­граммы относятся к первому уровню представления, к уровню логической модели. Конечно же, в реальности все триггеры имеют временные задержки установки выходных сигналов, а также предъявляют определенные временные требования к входным сигналам, при нарушении которых любой триггер бу­дет работать неустойчиво или же не будет работать вообще. Это учитывается на втором уровне представления (в модели с вре­менными задержками).

Например, как уже отмечалось, входные сигналы -R. и -S не должны приходить одновременно, иначе состояние триг­гера будет неопределенным. Длительность сигналов -R и -S также не должна быть слишком малой, иначе триггер может на них не среагировать. Сигнал -К должен начинаться с определенной задержкой после окончания сигнала -S и наобо­рот. В первом приближении можно считать, что минимально допустимые временные интервалы между входными сигна­лами должны равняться 1—2 задержкам логического элемен­та соответствующей серии.

Точно так же не должна быть слишком малой длительность тактового сигнала С (как положительного импульса, так и отри­цательного импульса), иначе триггер может переключаться не­устойчиво. Это требование универсально для всех микросхем, срабатывающих по фронту входного сигнала. Принципиально важна и величина временного сдвига (задержки) между уста­новлением сигнала Б и рабочим (положительным) фронтом сигнала С. Этот сдвиг также не должен быть слишком малым. Не должен быть чрезмерно малым и сдвиг между окончанием сигналов -R и -S и рабочим фронтом сигнала С. Повышенные требования предъявляются также к длительности фронта такто­вого сигнала С, которая не должна быть слишком большой. Это требование также универсально для всех микросхем, срабаты­вающих по фронту входного сигнала.

Одним словом, чем сложнее микросхема, тем важнее для нее становятся ограничения второго уровня представления, тем вы­ше требования к разработчику по учету временных задержек и длительностей сигналов. Правда, требования эти не слишком разнообразны и не слишком жестки, поэтому, раз и навсегда ус­воив их, можно проектировать любые схемы без грубых оши­бок. Самое главное, что надо запомнить, состоит в следующем: цифровые схемы не любят слишком коротких входных сигналов и слишком малых задержек между входными сигналами, функ­ционально связанными между собой. Ориентир здесь очень простой — величина задержки логического элемента данной се­рии. Поэтому для более быстрых серий ограничения будут ме­нее жесткими, а для более медленных серий — более жесткими.

Несколько слов о величинах задержек микросхем триггеров. Несмотря на свою достаточно сложную внутреннюю струк­туру микросхемы триггеров являются одними из самых быст­рых. Задержка срабатывания триггера обычно не превышает 1,5-2 задержек логического элемента. Причем задержки по вхо­дам -R. и -S чуть меньше, чем по тактовому входу С. В некото­рых сериях JK-триггеры несколько быстрее, чем D-триггеры, в других — наоборот. Важный параметр триггера — максимальная частота тактового сигнала С. Для ее приблизительной оцен­ки можно придерживаться следующего простого правила: пери­од тактового сигнала С не должен быть меньше величины за­держки переключения триггера по входу С.

***Контрольные вопросы***

1. Пояснить работу RS-триггера на элементах И-НЕ (рис. 5.5).

1. Пояснить работу Т-триггера на элементах И-НЕ (рис. 5.6).
2. Пояснить работу D-триггера на элементах И-НЕ (рис. 5.7).
3. Пояснить работу JK -триггера на элементах И-НЕ (рис. 5.8).

**ЛАБОРАТОРНАЯ РАБОТА № 5**

**Цель работы.** Практическое ознакомление с основными логическими элементами И - НЕ и основными типами триггеров (RS, D, Т и JК), реализуемыми в одной микросхеме.

**1. Подготовка к работе**

1.1. Какое устройство называют триггером?

1.2. Какой вход называют входом R, входом S?

**2. Оборудование:** лабораторный стенд, блок № 7, соединительные провода.

**Задание № 1.** Изучить работу элемента И-НЕ.

**Задание № 2.** Изучить работу RS-триггера.

**Задание № 3.** Изучить работу Т-триггера.

**Задание № 4.** Изучить работу D-триггера.

**Задание № 5.** Изучить работу JК-триггера.

**3. Описание блока**

В верхней части блока расположены 4 ключа (два из которых управляются кнопками SB2 и SB3, а два других – переключателями SA1 и SA2) и один бездребезговый ключ, управляемой кнопкой SB1. Логические сигналы с выхода бездребезгового ключа подаются на вход синхронизации С; с выходов ключей, управляемых кнопками SB2 и SB3-на входы R и S; с выходов ключей, управляемых переключателями SA1 и SA2- на входы J и К.

Входы R,S,C реагируют на отрицательные перепады сигналов, поступающих с ключей, управляемых кнопками, т.е. логическая 1 подается на перечисленные входы при нажатии соответствующих кнопок.

Логическая 1 с выходов ключей, управляемых переключателями SA1 и SA2, подается на входы J и К непосредственным соединение.

Логической 1 соответствует выходное напряжение не менее 2,4 В, логическому 0-выходное напряжение не более 0,4В. Наличие логической 1 на выходах определяется свечением соответствующих светодиодов. Триггер установлен в нулевое состояние, когда *Q*=0,=1.

**4. Подготовка к выполнению заданий**

4.1. Включить стенд в сеть, поставив сетевой тумблер в положение ВКЛ и нажав кнопку СЕТЬ на блоке питания.

4.2. Выставить на одном из источников питания постоянное напряжение 5В с помощью ручек ГРУБО и ПЛАВНО. Напряжение замерить мультиметром, выставленном на измерение постоянного напряжения на пределе измерения 20В.

4.3. Подать питание на исследуемые схемы: «+»-Х14, «»-Х15.

4.4. Сетевой тумблер выключить.

**5. Порядок выполнения задания №1**

Изучение работы основного логического элемента И-НЕ.

* 1. Входы логического элемента соединить с выходами ключей: Х12-Х9,Х13-Х10.
  2. Поочередно переключая тумблеры SA1 и SA2 подавая различные комбинации логических сигналов на входы логического элемента И-НЕ. Определив состояние выхода элемента по свечению светодиода VD6, заполнить табл. 5.9. (таблицу состояний элемента И-НЕ).
  3. Сетевой тумблер выключить.

**Таблица 5.5**

**Таблица состояний элемента И-НЕ**

| **Х12** | **Х12** | **Х11** |
| --- | --- | --- |
| 0 | 0 |  |
| 0 | 1 |  |
| 1 | 0 |  |
| 1 | 1 |  |

**6. Порядок выполнения задания №2**

Изучение работы RS-триггера.

1. Входы R и S соединить с выходами ключей: Х3-Х2, Х7-Х8.
2. После проверки схемы включить сетевой тумблер.
3. Нажатием кнопок SB2 и SB3 подавать логические сигналы на входы R и S согласно табл. 5.10., наблюдая при этом за соответствующими светодиодами (VD2, VD3, VD7, VD8). Заполнить табл. 5.10.
4. Сделать вывод о свойствах RS – триггера.
5. Выключить сетевой тумблер. Схему не разбирать.



**Рис.** **5.5.** Временная диаграмма (а); условное изображение RS – триггера (б); схема синхронного RS- триггера, построенного на элементах "И-НЕ" (в)

**Таблица 5.6**

**Таблица состояний RS– триггера**

| **R** | **S** | **Q** |  |
| --- | --- | --- | --- |
| 1 | 0 |  |  |
| 0 | 0 |  |  |
| 1 | 1 |  |  |
| 0 | 1 |  |  |

**7. Порядок выполнения задания №3**

Изучение работы Т-триггера (со счетным запуском).

1. Входы J и K объединить и подать на них логическую 1, а вход С использовать как счетный вход Т-триггера. Выход ключа, управляемого переключателем SA1 двойным проводом соединить со входами J и К:Х9-Х4, Х9-Х6, а переключатель SA1 поставить в нижнее положение, что соответствует подаче логического 1 на входы J и K.
2. Счетный вход Т (вход синхронизации С) соединить с выходом бездребезгового ключа: Х5-Х1.
3. После проверки схемы, сетевой тумблер поставить в положение ВКЛ.
4. Установить триггер в нулевое состояние, нажав кнопку SВ2, (подав сигнал на вход R).
5. Нажатием кнопки SB1 подавать логические сигналы на счетный вход Т (С). Проследив за состоянием выходов *Q* и , заполнить таблицу состояний.
   1. Убедиться, что триггер меняет свое состояние с приходом каждого импульса на счетный вход Т (С).
   2. Выключить тумблер. Схему не разбирать.



**Рис.** **5.6.** Временная диаграмма Т-триггера (а); условное обозначение (б, в); схема синхронного Т-триггера (г)

**Таблица 5.7**

**Таблица состояния Т – триггера при J=K=1**

| **T(C)** | ***Q*** |  |
| --- | --- | --- |
| 1 |  |  |
| 1 |  |  |
| 1 |  |  |
| 1 |  |  |

**8. Порядок выполнения задания №4**

1. Изучение работы D-триггера.D-триггер получается, если входы J и K объединить и использовать их в качестве информационного входа D. Поэтому оставить собранную схему без изменений. Переключатель SA1 поставить в верхнее положение, что соответствует подаче логического 0 на входе D (J+K).
2. Сетевой тумблер поставить в положение ВКЛ.
3. Установить триггер в нулевое состояние, нажав кнопку SB2.
4. Подавая синхроимпульсы нажатием кнопки SBI сначала при наличии логического 0 на входе D, затем одновременно с подачей логического 1 на вход D (SA1 – в нижнем положении), заполнить табл. 5.11.
5. Убедиться, что состояние выхода Д-триггера определяется входом D при наличии синхроимпульса на входе С.
6. Выключить сетевой тумблер.



**Рис.** **5.7.** Временная диаграмма D-триггера (а); условное обозначение (б); схема синхронногоD-триггера (в)

**Таблица 5.8**

**Таблица состояний D – триггера**

|  |  |  |  |
| --- | --- | --- | --- |
| **С** | **Д(J+K)** | ***Q*** |  |
| 1 | 0 |  |  |
| 1 | 0 |  |  |
| 1 | 1 |  |  |
| 1 | 1 |  |  |

**9. Порядок выполнения задания №5**

Изучение работы JK-триггера.

1. Схему составить без изменений за исключением того, что разделить входы J и K, т.е. выход ключа, управляемого переключателем SA1, соединить с входом J, а выход ключа, управляемого переключателем SA2 – с входом К. В целом должны быть произведены следующие соединения: Х1-Х5, Х2-Х3, Х8-Х7, Х9-Х4, Х10-Х6.
2. После проверки схемы преподавателем, сетевой тумблер поставить в положение ВКЛ.
3. Установить триггер в нулевое состояние, нажав кнопку SA2.
4. Переключая тумблеры SA1 и SA2, создать различные комбинации сигналов на информационных входах J и K. Для каждой комбинации проследить за изменениями состояний выходов триггера при подаче сигналов на вход синхронизации С согласно табл. 5.12. Перед каж-дой комбинацией устанавливать триггер в нулевое состояние. Заполнить таблицу и сделать вывод о работе JK-триггера.
5. Выключить стенд, нажав кнопку СЕТЬ и выключить сетевой тумблер.



**Рис.** **5.8.** Временная диаграмма JK-триггера (а); условное обозначение (б); схема синхронногоJK-триггера (в)

**Таблица 5.9**

**Таблица состояний JK-триггера**

| **J** | **K** | **С** | **Q** |  |
| --- | --- | --- | --- | --- |
| 0 | 0 | 1 |  |  |
| 1 |  |  |
| 1 |  |  |
| 1 | 0 | 1 |  |  |
| 1 |  |  |
| 1 |  |  |
| 0 | 1 | 1 |  |  |
| 1 |  |  |
| 1 |  |  |
| 1 | 1 | 1 |  |  |
| 1 |  |  |
| 1 |  |  |

***Содержание отчета***

1. Схема основного логического элемента И - НЕ и схемы основных типов триггеров, составленные на элементах И - НЕ (рис. 1, 2, 3, 4).
2. Результаты исследований. Таблицы состояний 5.9, 5.10, 5.11, 5.12.
3. Ответы на контрольные вопросы.

**6. ДВОИЧНЫЕ СЧЕТЧИКИ И ДЕШИФРАТОРЫ**

Счетчики –последовательные цифровые устройства и предназначены для выполнения операций счета и хранения кода числа посчитанных импульсов. Существуют различные схемы счетчиков, отличающихся назначением, типом используемых триггеров, организацией связи между ними, порядком смены состояний. По порядку изменений состояний счетчики бывают c естественным и произвольным порядком счета. В первых значениях кода каждого последующего состояния отличается на единицу от кода предыдущего состояния. В счетчиках с произвольным порядком счета значение кода соседних состояний могут отличаться более чем на единицу. Счетчики также подразделяются на простые и реверсивные. Простые счетчики подразделяются на суммирующие и вычитающие. В суммирующих счетчиках код последующего состояния имеет большее значение, чем код предыдущего состояния, а в вычитающих – меньшее значение. Реверсивные счетчики могут работать как в режиме суммирования, так и в режиме вычитания.

Основными параметрами счетчика являются:

- модуль счета, или коэффициент пересчета ;

- быстродействие счетчика.

Модуль счета характеризует число устойчивых состояний счетчика, т.е. предельное число импульсов, которое может быть им сосчитано. После поступления входных импульсов счетчик возвращается в исходное состояние. Такие счетчики называются также делителями на число, равное . По модулю счета счетчики подразделяются на двоичные, у которых, и недвоичные, у которых , где *m* – положительное целое число.

Быстродействие счетчика определяется двумя величинами:

* разрешающей способностью:

,

т.е. минимальный допустимый интервал времени между подачей двух входных импульсов, при котором не происходит потеря счета;

* временем установкиtусткода счетчика, т.е. интервалом времени между моментом поступления входного сигнала и моментом завершения пере-хода счетчика в новое устойчивое состояние. При этом должно выполняться условиеtp>tуст.

Поскольку счетчики представляют собой класс ПЦУ, то и синтез их целесообразно выполнять на основе базовых элементов ПЦУ, т.е. триггерах. Число триггеров для двоичного счетчика определяется формулой:

.

Для двоичных счетчиков число триггеров следует выбирать из условия:

,

где - двоичный логарифм заданного коэффициента пересчета, округленный до ближайшего (большего) целого числа.

**Двоичные счетчики**

Для их построения можно использовать различные типы триггеров. Наиболее удобным является триггер Т – типа (счетный триггер), который осуществляет подсчет импульсов по модулю 2. Такой триггер является простейшим счетчиком с КСЧ = 2. Соединив несколько счетных триггеров определенным образом, можно получить схему многоразрядного счетчика. Если в качестве базовых используются Т – триггер с прямым динамическим счетным входом, то для построения трехразрядного суммирующего двоичного счетчика их необходимо объединить так, как это показано на рис. 6.1, а. Срабатывание всех триггеров происходит по переднему фронту счетного импульса. Поэтому, чтобы реализовать операцию суммирования, необходимо на триггеры Т2 и Т3 информацию подавать с инверсных выходов предыдущих триггеров. Ременная диаграмма работы счетчика показана на рис. 6.1,б.

Состояния выходов Q1, Q2 и Q3 сгруппируем в зависимости от номера счетного импульса в табл. 6.1.

Из табл. 6.1. очевидно, что двоичный код, задаваемый логическими состояниями выходов счетчика, соответствует порядковому номеру входного счетного импульса С. При подаче последнего восьмого импульса счетчик возвращается в исходное состояние, после чего процесс повторяется. Модуль счета, таким образом, КСЧ =23 =8.



**Рис.** **6.1.** Структурная схема (а) и временная диаграмма работы (б) трехразрядного двоичного суммирующего счетчика на основе

Т – триггеров с прямым динамическим счетным входом

**Таблица 6.1**

**Состояния выходов Q1,Q2 и Q3**

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **С** | **Исходное состояние** | **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** |
| **Q1** | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| **Q2** | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| **Q3** | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 |
| **Десятичный код** | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 |

Суммирующий счетчик можно построить и на базе Т – триггеров с инверсным динамическим счетным входом. При этом, поскольку срабатывание триггеров происходит по заднему фронту счетного импульса, нет необходимости задействовать инверсные выходы  этих триггеров. Сигнал на вход каждого последующего триггера необходимо подавать с прямого выхода предыдущего триггера (рис. 6.2, а). Необходимо учитывать, что срабатывание всего счетчика будет происходить по заднему фронту счетного импульса С, как это показано на временной диаграмме рис. 6.2, б.



**Рис.** **6.2.** Структурная схема (а) и временная диаграмма работы (б) трехразрядного двоичного суммирующего счетчика на основе Т – триггеров с инверсным динамическим счетным входом

Для операции вычитания достаточно изменить в электрических связях соответствующих схем используемых выходы триггеров на выходы с обратными логическими выводами либо использовать триггеры с входами обратного типа динамического управления. Если вычитающий счетчик реализуется на базеТ – триггеров с прямым динамическим входом, то сигналы на входы последующих триггеров в противоположности схемы на рис. 6.3, а. необходимо подавать с прямых выходов предыдущих триггеров. Из временной диаграммы видно, что с каждым последующим счетным импульсом выходной код уменьшается на единицу (декрементируется). С последним восьмым импульсом счетчик возвращается в исходное состояние.

Путем переключения выходов с инверсных на не инверсные и обратно можно получить как суммирующие, так и вычитающие счетчики. Это свойство положено на основу построения реверсивных счетчиков. Для этих целей используются коммутаторы выходов на базе логических элементов И – ИЛИ – НЕ (рис. 6.4).

Элементы ЛЭ1 и ЛЭ2 выполняют роль коммутаторов выходных сигналов с триггеров Т1 и Т2. При подаче логического нуля на вход “-1” и логической единицы на вход “+1” на выходе верхней структуры И элементов ЛЭ1 и ЛЭ2 формируется результат с выходов Q1 и Q2 соответствующих триггеров. На выходе нижней структуры И присутствует логический нуль, в результате чего выходы  и  не влияют на работу схемы. Структура ИЛИ – НЕ элементов ЛЭ1 и ЛЭ2 инвертирует значения соответствующих коммутируемых выходов.



**Рис.** **6.3.** Структурная схема (а) и временная диаграмма работы (б) трехразрядного двоичного вычитающего счетчика на основе

Т – триггеров с прямым динамическим счетным входом



**Рис.** **6.4.** Структурная схема трехразрядного

двоичного реверсивного счетчика

Осуществляется инверсия сигналов Q1 и Q2, которые подают на прямые динамические тактовые входы триггеров Т2 и Т3. Счетчик работает в режиме суммирования. При подаче логического нуля на вход “” и логической единицы на вход “” режим работы меняется. Закрытыми оказываются прямые выходы Q1и Q2, а открываются инверсные выходы  и . При этом их значения инвертируются элементами ИЛИ – НЕ, ЛЭ1 и ЛЭ2, в результате чего они становятся прямыми. Счетчик начинает работать в режиме вычитания. На практике для упрощения процесса управления обычно вместо двух входов“” и“” используется только один из этих входов. Сигнал второго входа формируется через инвертор.

В рассмотренных счетчиках срабатывание триггеров происходит поочередно один за другим, т.е. последовательно. Такие счетчики называют асинхронными. Их недостатки состоят в том, что увеличивается общее время установления с увеличением числа триггеров. Кроме того, появление промежуточных комбинаций может привести к ложному срабатывания дешифратора, если такой есть в структуре ПЦУ. Для устранения этого недостатка используются счетчики, у которых все триггеры срабатывают одновременно. Такие счетчики получили название синхронных счетчиков. Идея синхронного счетчика заключается в построении внешних комбинационных схем, формирующей сигналы, согласно которым будет происходить одновременное переключение только части триггеров в зависимости от текущего выходного кода. Причем эти сигналы должны быть сформированы до поступления очередного счетного импульса. Счетный импульс должен поступать на все триггеры одновременно. Для этих целей необходимо использовать тактируемые Т- триггеры, входы синхронизации которых объединяются в общую шину. На тактовые Т – входы каждого триггера подаются заранее сформированные сигналы переноса с комбинационной схемы.

Анализ схемы состояний суммирующего счетчика показывает, что если значения младшего разряда меняется каждый раз с приходом входного сигнала, то в остальных разрядах значение будет меняться на противоположное только в тех случаях, когда до этого во всех предыдущих разрядах были единицы. Для этого единичный входной сигнал должен поступать на вход триггера только в том случае, если триггер во всех предыдущих разрядах находится в единичном состоянии. Задачу формирования входного сигнала для каждого последующего триггера выполняет логический элемент И ЛЭ1 (ЛЭ2), на входы которого подаются сигналы со всех выходов предыдущего триггера (рис. 6.5).Срабатывание всех триггеров происходит одновременно по общему сигналу синхронизации С, который является счетным импульсом для всего счетчика. Изображенная на рисунке 6.5 структура называется счетчиком с параллельным переносом, поскольку сигналы на все элементы И, формирующие единичные переносы, подаются с выходов триггеров одновременно в параллельном виде. В исходном состоянии на выходах всех триггеров присутствуют логические нули. С поступлением каждого счетного импульса выходные коды начинают увеличиваться на единицу (инкрементироваться). Задержка в такой схеме равна времени срабатывания одного триггера.

Чтобы синтезировать схему вычитающего счетчика, необходимо использовать не прямые, а инверсные выходы триггеров. Таким образом, в исходном состояние все триггеры будут иметь на инверсных выходах логические единицы. С начала счета выходные коды будут уменьшаться (декрементироваться). Используя принцип коммутации прямых или инверсных выходов триггеров, можно также реализовать реверсивный счетчик с параллельным переносом.



**Рис.** **6.5.** Структурная схема четырехразрядного суммирующего счетчика

с параллельным переносом

Недостатком счетчиков с параллельным переносом является необходимость использования в случае увеличения разрядности счетчика элементов И с большим числом выходов. При этом выходы триггеров должны обладать высокой нагрузочной способностью. Поэтому многоразрядные счетчики строят по групповому признаку. Согласно этому принципу весь счетчик структурно реализуется путем соединения отдельных групп небольшой разрядности с параллельным переносом внутри этих групп. Сигнал переноса из очередной группы формируется элементом И, объединяющим выходы всех триггеров данной группы. Сформированный сигнал переноса предыдущей группы подается счетный вход последующей группы. Общая задержка такого счетчика определяется суммой задержек каждой группы.

Другой вариант структуры синхронного счетчика – это структура со сквозным переносом. Согласно этой структуре перенос формируется из единичных результатов соседних разрядов. Для этих целей достаточно использовать только двухвходные элементы И при любой разрядности счетчика (рис. 6.6).Перенос между разрядами осуществляется через каждый элемент И (ЛЭ1 и ЛЭ2) в их последовательной структуре Отсюда следует, что общее время срабатывания всего счетчика определяется временем срабатывания одного триггера и суммарным временем задержки последовательной цепи логических элементов И.

Выигрыш по быстродействию в такой структуре осуществляется за счет меньшего времени срабатывания одного логического элемента по сравнению со временем срабатывания одного триггера. При достаточно большой разрядности счетчика времени задержки во всех элементах И может оказаться значительным и сравнятся с временем срабатывания одного триггера.



**Рис. 6.6.** Структурная схема четырехразрядного суммирующего счетчика со сквозным переносом

**Недвоичные счетчики**

Недвоичные счетчики имеют КСЧ ≠ 2m. Принцип их построения заключается в исключении некоторых устойчивых состояний обычного двоичного счетчика. Избыточные состояния исключаются с помощью обратных связей внутри счетчика. Как было показано ранее, число триггеров в недвоичном счетчике – это округленное до большего числа значения mнедв = [log2 КСЧ]. Поэтому если задействовать все возможные состояния m триггеров, то счетчик окажется двоичным. Организуя обратные связи в двоичном счетчике таким образом, чтобы определенными выходными кодовыми комбинациями осуществлять либо его обнуление, либо установка в состояние, отличное от очередного, реализуется недвоичный счетчик с произвольным КСЧ. Часть состояний двоичного счетчика таким образом пропускаются.

Наибольший интерес среди недвоичных счетчиков представляют двоично-десятичные счетчики с КСЧ = 10, которые строятся на основе четырех счетных триггеров. С их помощью легко может быть осуществлен вывод содержимого счетчика в десятичном коде. Каждый двоично-десятичный счетчик имеет десять устойчивых состояний и соответствует одному разряду десятичной системы счисления.

**Дешифраторы**

Дешифратор – это устройство, предназначенное для преобразования двоичного кода в напряжение логической единицы (логического нуля) на том выходе, номер которого совпадает со значением двоичного кода на входе. При n входах в полном дешифраторе имеется 2n выходов, т.е. для каждой комбинации входных сигналов имеется соответствующий выход. Дешифратор, у которого при n входах число выходов меньше 2n, называется не полным. Другое название дешифратора – декодер. Принцип работы полного трехразрядного дешифратора рассмотрим на примере истинности (табл. 6.2).

**Таблица 6.2**

**Таблица истинности дешифратора**

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Входы** | | | **Выходы** | | | | | | | |
| **Х3** | **Х2** | **Х1** | **Y7** | **Y6** | **Y5** | **Y4** | **Y3** | **Y2** | **Y1** | **Y0** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Структурная схема трехразрядного дешифратора на рис. 6.7, а, а его УГО – на рис. 6.7, б.

а) б)

**Рис.** **6.7.** Структурная схема (а) и УГО (б) трехразрядного дешифратора

Логические управления для выходных переменных дешифратора n – разрядного числа имеют вид:









…………………………..



Построенные по полученным формулам дешифраторы называются линейными. К преимуществу линейных дешифраторов можно отнести высокое быстродействие, поскольку входные переменные одновременно поступают на все элементы И. Одновременно без дополнительных задержек формируются и результат на выходах этих элементов. Очевидно, что реализация линейного дешифратора n – разрядного числа необходимо иметь 2n логических элементов И с n – выходами. В существующих микросхемах логических элементов количество входов ограничено. Следовательно, ограничена и разрядность реализуемых на их основе линейных дешифраторов, что является недостатком. Недостатком является и то, что предыдущие элементы, работающие на входы дешифратора, должны иметь высокую нагрузочную способность, т.е. должны быть рассчитаны на подключение большого числа логических элементов И.

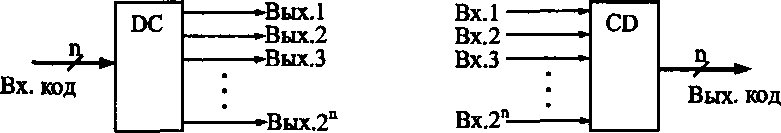
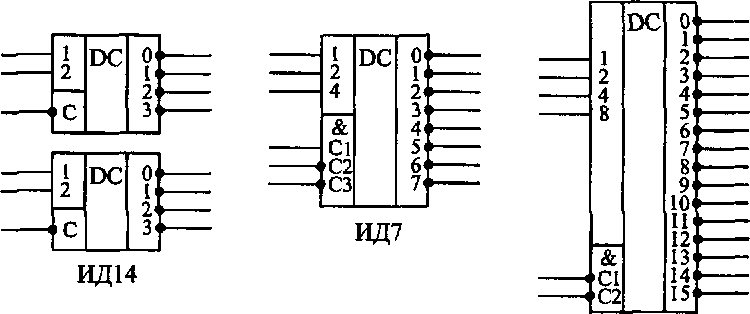


Рис. 6.8. Функции дешифратора (слева) и шифратора (справа)

Активным всегда является только один выход дешифратора, причем номер этого выхода (и соответствующего ему сигнала) однозначно определяется входным кодом. Выходной код шиф­ратора однозначно определяется номером входного сигнала.

Рассмотрим подробнее функцию дешифратора.

В стандартные серии входят дешифраторы на 4 выхода (2 разряда входного кода), на 8 выходов (3 разряда входного ко­да) и на 16 выходов (4 разряда входного кода). Они обозначают­ся соответственно как 2—4, 3-8, 4-16. Различаются микросхемы дешифраторов входами управления (разрешения/запрета вы­ходных сигналов), а также типом выхода: 2С или ОК. Выходные сигналы всех дешифраторов имеют отрицательную полярность. Входы, на которые поступает входной код, называют часто ад­ресными входами. Обозначают эти входы 1, 2, 4, 8, где число соответствует весу двоичного кода (1 — младший разряд, 2 — следующий разряд и т. д.) или АО, А1, А2, АЗ. В отечественных сериях микросхемы дешифраторов обозначаются буквами ИД. На рис. 3.2 показаны три наиболее типичные микросхемы де­шифраторов.



**Рис.** **6.9.** Примеры микросхем дешифраторов

Код на входах 1, 2, 4, 8 определяет номер активного выхода (вход 1 соответствует младшему разряду кода, вход 8 — стар­шему разряду кода). Входы разрешения С1, С2, СЗ объединены по функции Ии имеют указанную на рисунке полярность. В ка­честве примера ниже приведена таблица истинности дешифра­тора ИД7 (3-8) (табл. 3.1). Существуют и дешифраторы 4-10 (например, ИД6), которые обрабатывают не все возможные 16 состояний входного кода, а только первые 10 из них.

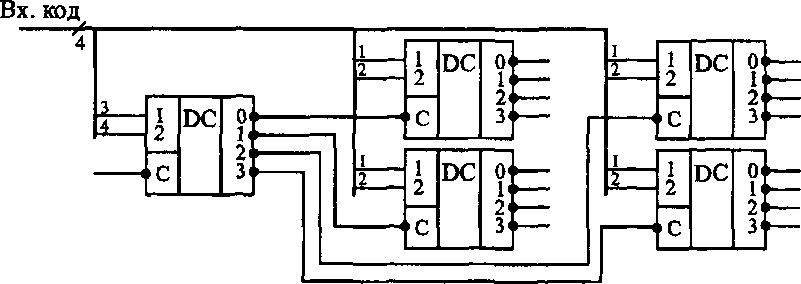
Первые три строки таблицы истинности соответствуют за­прету выходных сигналов. Разрешением выхода будет единица на входе С1 и нули на входах С2 и СЗ. Символ «X» обозначает безразличное состояние данного входа (неважно, нуль или еди­ница). Нижние восемь строк соответствуют разрешению выход­ных определяется кодом на входах 1, 2, 4, при­чем вход 1 соответствует младшему разряду кода, а вход 4 — старшему разряду кода сигналов. Номер активного выхода (на котором формиру­ется нулевой сигнал)

**Таблица 6.3**

**Таблица истинности дешифратора 3—8 (ИД7)**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Входы**  **С1 -С2 -СЗ 4 2 1** | | | | | | **Выходы**  **0 1 2 3 4 5 6 7** | | | | | | | |
| 0 | X | X | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| X | 1 | X | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| X | X | 1 | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

Наиболее типичное применение дешифраторов состоит именно в дешифрировании входных кодов, при этом входы С используются как стробирующие, управляющие сигналы. Но­мер активного (то есть нулевого) выходного сигнала показыва­ет, какой входной код поступил. Если нужно дешифровать код с большим числом разрядов, то можно объединить несколько микросхем дешифраторов (пример показан на рис. 6.10).



**Рис.** **6.10.** Увеличение разрядов дешифратора

При этом старшие разряды кода подаются на основной дешифратор, выходы которого разрешают работу нескольких дополнительных дешифраторов. На объединенные входы этих дополнительных дешифраторов подаются младшие разряды входного кода. Используя пять микросхем дешифраторов 2-4, можно получить дешифратор 4-16, как показано на рисунке (хотя лучше, конечно, взять готовую микросхему). Точно так же на де­вяти микросхемах 3-8 можно реализовать дешифратор 6—64, а на семнадцати микросхемах 4-16 — дешифратор 8-256.

Еще одно распространенное применение дешифраторов — селекция (выбор) заданных входных кодов. Появление отрица­тельного сигнала на выбранном выходе дешифратора будет оз­начать поступление на вход интересующего нас кода. В данном случае увеличивать число разрядов входного селектируемого кода гораздо проще, чем в предыдущем (см. рис. 3.3). Напри­мер, две микросхемы 4-16 позволяют селектировать 8-разряд­ный код (рис. 3.4). В примере на рисунке селектируется 16-ричный код 2А (двоичный код 0010 1010). При этом один дешифра­тор работает с четырьмя младшими разрядами кода, а другой — с четырьмя старшими разрядами. Объединяются дешифраторы так, что один из них разрешает работу другого по входам -С 1 и -С2. Применяя механические переключатели выходов дешиф­раторов (тумблеры, перемычки), можно легко изменять код, селектируемый данной схемой.

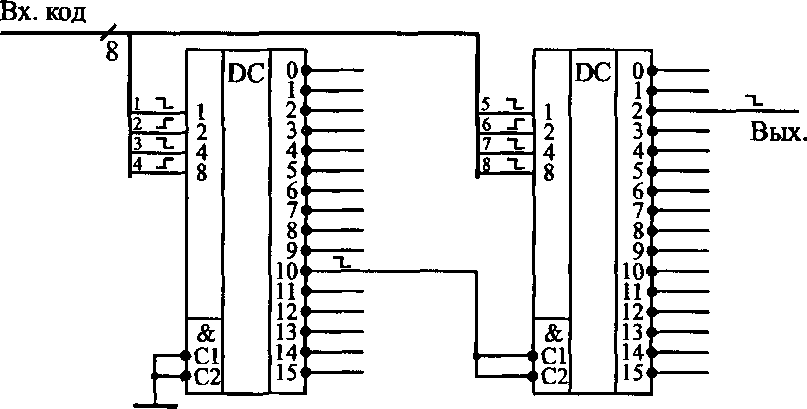


Рис. 6.11. Селектирование кода на дешифраторах

Еще одно важное применение дешифраторов состоит в пере­коммутации одного входного сигнала на несколько выходов. Или, как еще можно сказать, дешифратор в данном случае выступает в качестве демультиплексора входных сигналов, который позволя­ет разделить входные сигналы, приходящие в разные моменты времени, на одну входную линию (мультиплексированные сигна­лы). При этом входы 1, 2, 4, 8 дешифратора используются в каче­стве управляющих, адресных, определяющих, на какой выход пе­реслать пришедший в данный момент входной сигнал (рис. 6.12). А сам сигнал подается на один из входов С и пересылается на за­данный выход. Если у микросхемы имеется несколько стробирующих входов С, то оставшиеся входы С можно использовать в качестве разрешающих работу дешифратора.

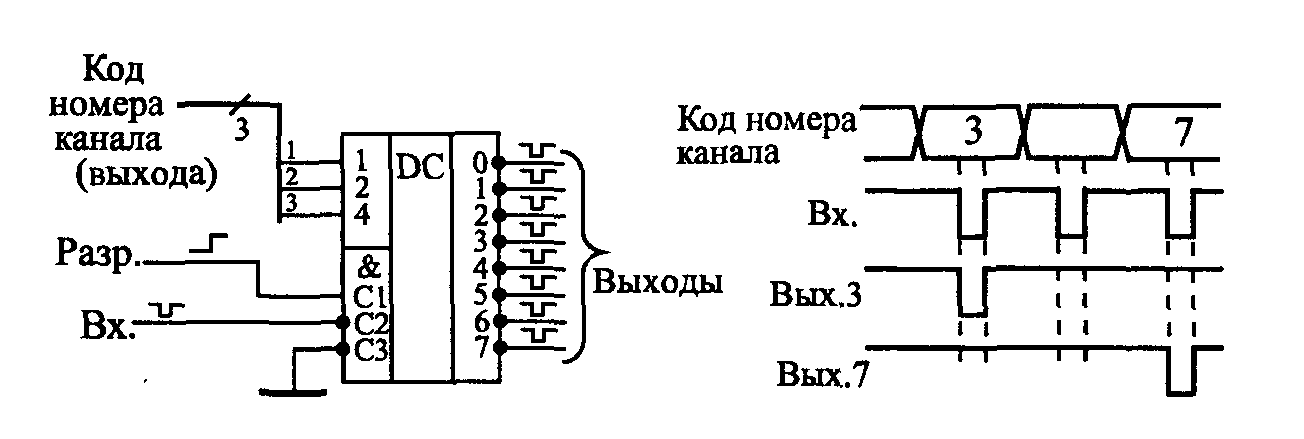


Рис. 6.12. Включение дешифратора как демультиплексора

Как и для любых других цифровых микросхем, для дешиф­раторов наиболее критична ситуация одновременного или почти одновременного изменения входных сигналов. Например, если стробы С постоянно разрешают работу дешифратора, то в мо­мент изменения входного кода на любом выходе дешифратора могут появиться паразитные отрицательные короткие импуль­сы. Это может быть связано как с неодновременным выставле­нием разрядов кода (из-за несовершенства микросхем источни­ков кода или из-за разных задержек распространения по линиям связи), так и с внутренними задержками самих

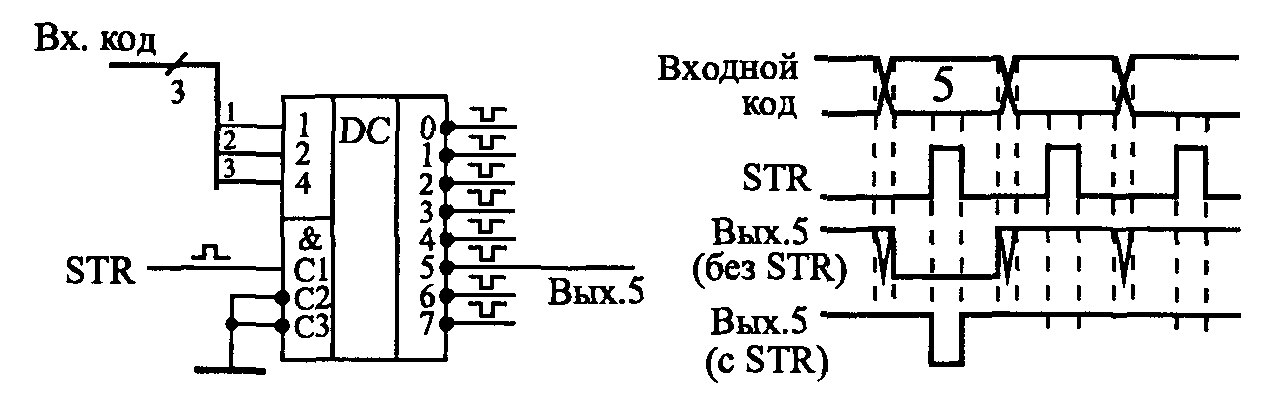
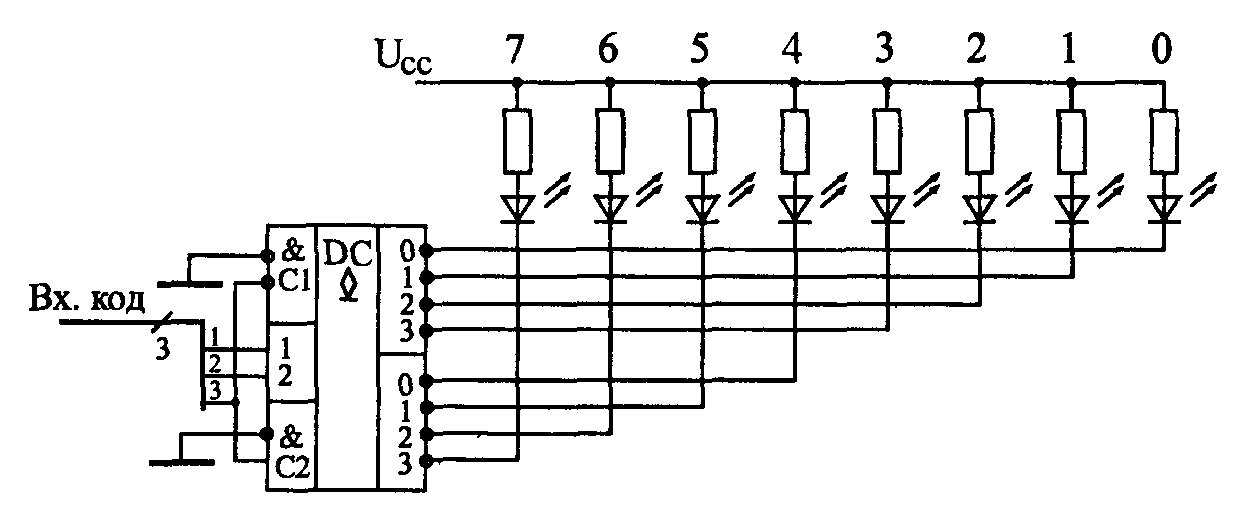
микросхем де­шифраторов.

Рис. 6.13. Стробирование выходных сигналов дешифратора

Для исключения таких паразитных импульсов можно при­менить синхронизацию с помощью стробирующих сигналов. Используемый для этого сигнал С должен начинаться после те­кущего изменения кода, а заканчиваться до следующего изме­нения кода. То есть должен быть реализован вложенный цикл. На рис. 3.6 показано, как будет выглядеть выходной сигнал де­шифратора без стробирования и со стробированием.

На втором уровне представления (модель с временными за­держками) нужно также учитывать то, что задержки дешифратора больше задержек простых логических элементов: примерно вдвое для входного кода и примерно в полтора раза для стробирующих входов. Если попытаться заменить дешифратор схемой на логиче­ских элементах, то такой дешифратор получится медленнее. Точ­ные величины задержек можно найти в справочниках.



**Рис.** **6.14.** Объединение выходов дешифраторов с ОК

Дешифраторы, имеющие выходы типа ОК (ИД5, ИД10), удобно применять в схемах позиционной индикации на свето- диодах. На рис. 3.7 приведен пример реализации позиционного индикатора на микросхеме ИД5, которая представляет собой два дешифратора 2—4 с объединенными входами для подачи ко­да и стробами, позволяющими легко строить дешифратор 3-8. При этом старший разряд кода выбирает один из дешифраторов 2-4 (нуль соответствует верхнему по схеме дешифратору, а единица — нижнему). То есть в данном случае номер горящего светодиода равен входному коду дешифратора. Такая индика­ция называется позиционной.

Выходы микросхем дешифраторов с ОК можно объединять между собой для реализации проводного ИЛИ (рис. З.8.). Нуль на объединенном выходе будет тогда, когда хотя бы на одном из вы­ходов вырабатывается нуль. При равномерном пошаговом нара­щивании входного кода (например, с помощью счетчика) такое решение позволяет формировать довольно сложные последова­тельности выходных сигналов. Правда, каждый выход дешифра­тора может использоваться для получения только одного выход­ного сигнала. Это ограничивает возможности таких схем.



**Рис.** **6.15.** Схема преобразования сигналов счета в цифровую индикацию

**лабораторная работа №6**

**Цель работы.** Изучение принципа работы четырехразрядного двоичного счетчика и дешифратора.

**2. Подготовка к работе**

1. Что такое счетчик и в чем его назначение?

2. На основе каких триггеров можно построить счетчик?

3. Как связано число триггеров с коэффициентом пересчета?

**3. Оборудование**

1. Микросхема К155ИЕ2.

2. Микросхема К514ИД1.

3. Светодиоды АЛ307КМ.

4. Комбинированный прибор М92.

5. Светодиодный индикатор АЛС307КМ.

**Задание №1*.*** Изучение микросхемы К155ИЕ2.

**Задание №2.** Изучение принципа работы счетчика и дешифратора.

**4. Порядок выполнения задания №1**

1. Ознакомиться с блоком №6.

2. Проанализировать информацию о микросхеме К155ИЕ2:

* микросхема К155ИЕ2 – универсальный четырехразрядный интегральный счетчик;
* состав микросхемы: триггер со счетным входом и трехразрядным счетчиком с коэффициентом деления – 5; вместе они образуют двоично-десятичный счетчик;
* выводы микросхемы:

С1 – вход;

R8- вход установки «0»;

1 – С2 – перемычка, устанавливает коэффициент пересчета 9;

R9 - вход установки «9»;

1,2,4,8 – выходы.

**5. Порядок выполнения задания №2**

1. К гнездам Х1,Х3 блока подать постоянное напряжение 5В.

2. Нажатием кнопки SB2 установить счетчик в нулевое состояние.

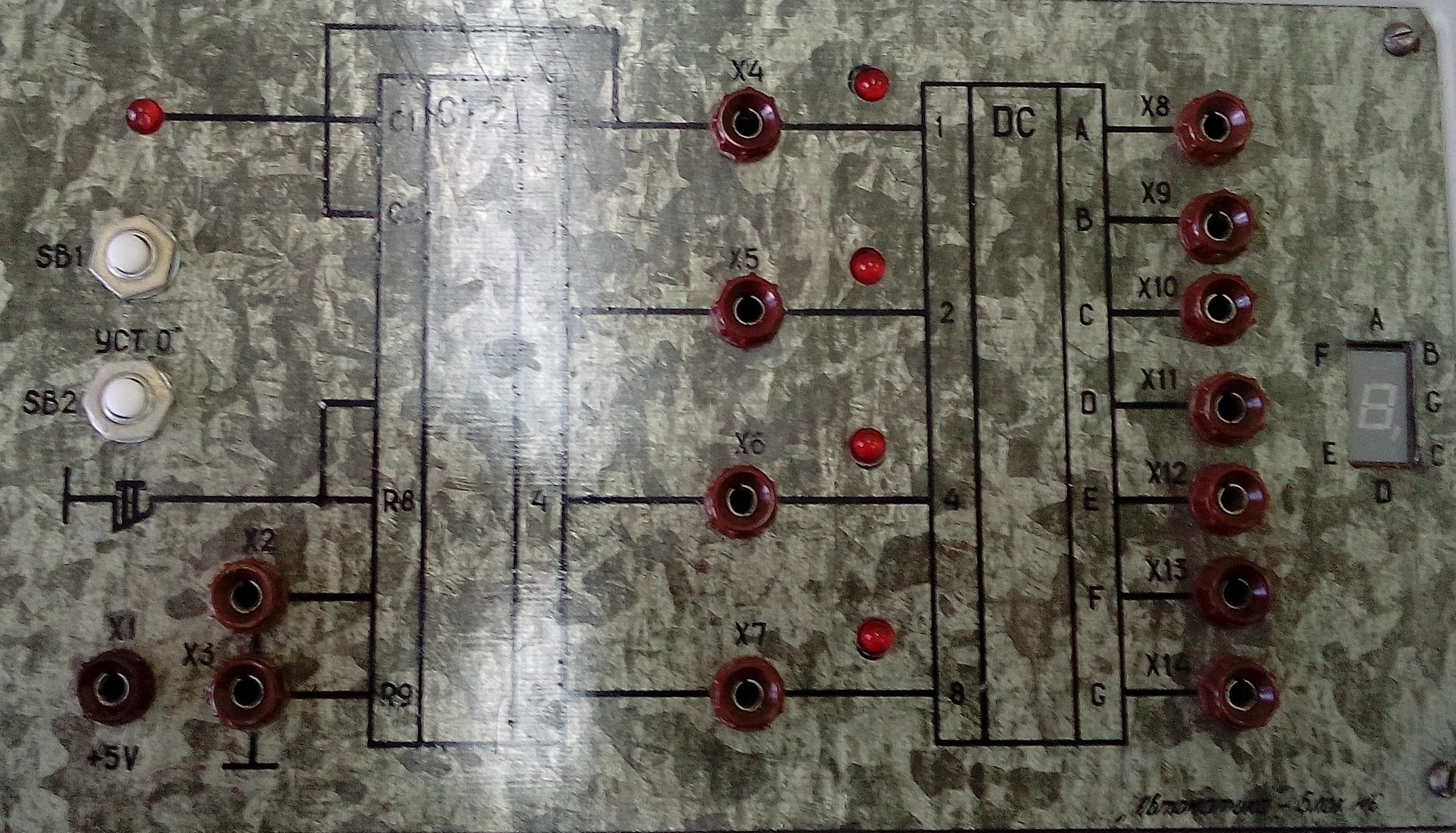
3. Нажатием кнопки SB1 на вход счетчика подать импульс, при этом должен загореться светодиод, включенный во входную цепь счетчика.

4.Состояние выходов счетчика также фиксировать светодиодами.

5. Логические состояния выходов дешифратора контролировать комбинированным прибором на пределе измерения 20В.

6. Состояние светодиодного индикатора фиксировать для каждого состояния счетчика.

7. Подавая на вход счетчика импульсную последовательность много-кратным нажатием кнопки SB1,заполнить таблицу состояний всех элементов.



**Рис.** **6.16.** Блок №6

**Таблица 6.4**

**Состояние элементов в схеме преобразования сигналов счета в цифровую индикацию**



***Оформление отчета***

1. Зарисовать схему включения счетчика и дешифратора, таблицу состояний.

2. Ответить на контрольные вопросы.

***Контрольные вопросы***

1. Как связать номер счетного импульса с состоянием счетчика?

2. Составить функциональную схему четырехразрядного счетчика.

3. Привести диаграмму переключения счетчика.

4. Сформировать функцию дешифратора в данной работе.

5. Как построить вычитающий счетчик?

6. Привести обозначения и нумерацию выводов микросхемы К155ИЕ2

**7. РЕГИСТРЫ**

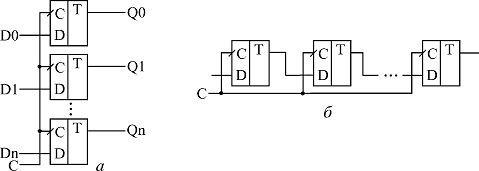
Регистры представляют собой, по сути, несколько D-триггеров (обычно от 4 до 16), соединенных между собой тем или иным способом. Поэтому принципиальной разницы между ними и отдельными D-триггерами не существует. Правда, триггеры, входящие в состав регистров, не имеют такого количества разнообразных управляющих входов, как одиночные триггеры.

На схемах регистры обозначаются буквами RG. В отечественных сериях микросхем регистрам соответствуют буквы ИР. Все регистры делятся на две большие группы (рис. 7.1):

* Параллельные регистры;
* Регистры сдвига (или сдвиговые регистры).

Существуют регистры и других типов, но они применяются гораздо реже, чем параллельные и сдвиговые, так как имеют узкоспециальное назначение.

В параллельных регистрах (а) каждый из триггеров имеет свой независимый информационный вход (D) и свой независимый информационный выход. Тактовые входы (С) всех триггеров соединены между собой. В результате параллельный регистр представляет собой многоразрядный, многовходовый триггер.



**Рис.** **7.1.** Структура параллельного регистра (а)и сдвигового регистра (б)

В сдвиговых регистрах (б) все триггеры соединены в последовательную цепочку (выход каждого предыдущего триггера соединен со входом D следующего триггера). Тактовые входы всех триггеров (С) объединены между собой. В результате такой триггер может рассматриваться как линия задержки, входной сигнал которой последовательно перезаписывается из триггера в триггер по фронту тактового сигнала С. Информационные входы и выходы триггеров могут быть выведены наружу, а могут и не выводиться - в зависимости от функции, выполняемой регистром.

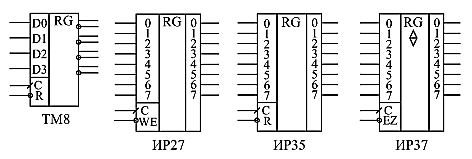
Параллельные регистры, в свою очередь, делятся на две группы:

* регистры, срабатывающие по фронту управляющего сигнала С (или тактируемые регистры);
* регистры, срабатывающие по уровню управляющего сигнала С (или стробируемые регистры).

Чаще всего в цифровых схемах используются регистры, управляемые фронтом (то есть тактируемые), однако и стробируемые регистры имеют свой круг задач, в которых их ничто не может заменить.

**Регистры, срабатывающие по фронту**

Принцип действия регистров, срабатывающих по фронту тактового сигнала, ничем не отличается от принципа действия D-триггера. По положительному фронту тактового сигнала С каждый из выходов регистра устанавливается в тот уровень, который был в этот момент на соответствующем данному выходу входе D, и сохраняется таковым до прихода следующего положительного фронта сигнала С. То есть если триггер запоминает один сигнал (один двоичный разряд, один бит), то регистр запоминает сразу несколько (4, 6, 8, 16) сигналов (несколько разрядов, битов). Память регистра сохраняется до момента выключения питания схемы.

  
**Рис.** **7.2.** Параллельные регистры стандартных серий,

срабатывающие по фронту

В стандартные серии входит несколько типов параллельных регистров, срабатывающих по фронту (рис. 7.2). Различаются они количеством разрядов, наличием или отсутствием инверсных выходов, наличием или отсутствием входа сброса (–R) или разрешения записи (–WE), а также типом выходных каскадов (2С или 3С) и, соответственно, наличием или отсутствием входа разрешения –EZ. Иногда на схемах тактовый вход С обозначается WR - сигнал записи в регистр.

Большинство регистров имеют восемь разрядов, то есть запоминают один байт информации. Регистр ТМ8 в справочниках обычно называется счетверенным D-триггером (он и в наименовании несет буквы ТМ), хотя он вполне может рассматриваться и как регистр, так как тактовый вход С и вход сброса –R у всех четырех триггеров объединены между собой.

Таблицы истинности регистров очень просты и не отличаются принципиально от таблицы истинности D-триггеров. Отличие от триггеров появляется только в случае наличия у регистра дополнительных управляющих входов разрешения записи –WE и разрешения выхода –EZ. В качестве примеров в табл. 7.1 приведена таблица истинности регистра ИР27, а в табл. 7.2 - регистра ИР37. По переходу тактового сигнала С из 0 в 1 (положительный фронт) оба регистра записывают в себя входную информацию.

**Таблица 7.1**

**Таблица истинности регистра ИР27**

|  |  |  |  |
| --- | --- | --- | --- |
| **Входы** | | | **Выходы** |
| -WE | C | D | Q |
| 0 | 0 1 | 0 | 0 |
| 0 | 0 1 | 1 | 1 |
| 0 | 0 | X | Не меняется |
| 0 | 1 | Х | Не меняется |
| 1 | Х | Х | Не меняется |

**Таблица 7.2**

**Таблица истинности регистра ИР37**

|  |  |  |  |
| --- | --- | --- | --- |
| **Входы** | | | **Выходы** |
| -EZ | C | D | Q |
| 0 | 0 1 | 0 | 0 |
| 0 | 0 1 | 1 | 1 |
| 0 | 0 | X | Не меняется |
| 0 | 1 | Х | Не меняется |
| 1 | Х | Х | Z |

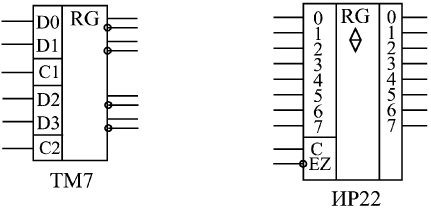
Все регистры, имеющие выход с тремя состояниями, обеспечивают повышенную нагрузочную способность. Задержка переключения регистров примерно соответствует задержке переключения триггеров. Все временные ограничения, накладываемые на входные сигналы в случае триггеров, справедливы и для входных сигналов регистров. Например, не должна быть слишком малой длительность сигнала С, а также не должна быть слишком малой задержка между установлением сигнала D и приходом положительного фронта сигнала С. Иначе работа регистра может быть нестабильной или даже неправильной.

Одно из основных применений регистров состоит в хранении требуемого кода в течение нужного времени. Если для работы остальной части схемы необходимо иметь входной код, который можно легко изменять, то для этого как раз подходит регистр.

**Регистры, срабатывающие по уровню****.** Параллельные регистры, срабатывающие по уровню стробирующего сигнала, можно рассматривать как некий гибрид между буфером и регистром. Когда сигнал на стробирующем входе - единичный, такой регистр пропускает через себя входные информационные сигналы, а когда стробирующий сигнал становится равен нулю, регистр переходит в режим хранения последнего из пропущенных значений входных сигналов.

Применение таких регистров сильно ограничено, хотя иногда они довольно удобны. В некоторых схемах они могут успешно заменять регистры, срабатывающие по фронту, а в других схемах их применение вместо регистров, срабатывающих по фронту, недопустимо.

В стандартных сериях регистры, срабатывающие по уровню, представлены гораздо меньше, чем регистры, срабатывающие по фронту. На рис. 7.3 показаны в качестве примеров две микросхемы 4-разрядного регистра ТМ7 и 8-разрядного регистра ИР22. Стробирующие входы С нередко на схемах обозначают E (от английского "Enable" - "разрешение"), для того чтобы не путать их с тактовыми входами D-триггеров.



**Рис.** **7.3.** Регистры, срабатывающие по уровню

Микросхему ТМ7 часто называют набором триггеров, но ее можно рассматривать и как регистр. Микросхема состоит из четырех триггеров, стробирующие входы которых С соединены попарно, то есть можно говорить о двух двухразрядных регистрах-защелках. Входы С1 и С2 микросхемы управляют каждый двумя разрядами данных. Все триггеры имеют как прямые, так и инверсные выходы, что иногда очень удобно. Таблица истинности микросхемы ТМ7 приведена в табл. 7.3.

При единице на входе С выходные сигналы повторяют входные, то есть регистр работает как обычный буфер с прямыми и инверсными выходами. При нуле на входе С на выходе регистра постоянно хранится та входная информация, которая была в момент прихода отрицательного фронта сигнала С. Говорить, что регистр ТМ7 срабатывает по отрицательному фронту сигнала С, неверно, так как информация на выходе меняется не только по этому фронту, но и в момент изменения входных сигналов при С = 1.

**Таблица 7.3**

**Таблица истинности регистра ТМ7**

|  |  |  |  |
| --- | --- | --- | --- |
| **Входы** | | **Выходы** | |
| D | C | Q | -Q |
| 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |
| 0 | 0 | Не меняется | |
| 1 | 0 | Не меняется | |

Регистр ИР22 отличается от ТМ7 тем, что имеет выходы с тремя состояниями (и соответственно, вход разрешения всех выходов –EZ) и тем, что всеми восемью разрядами управляет один стробирующий сигнал С. Суть работы от этого не изменяется. При единице на входе С регистр работает как буфер-повторитель, а при нуле на входе С - хранит ту информацию, которая была на входе в момент отрицательного фронта сигнала С. Выходы у регистра ИР22 - только прямые. Как и все регистры с тремя состояниями выхода, ИР22 имеет повышенную нагрузочную способность. В табл. 7.4 приведена таблица истинности регистра ИР22.

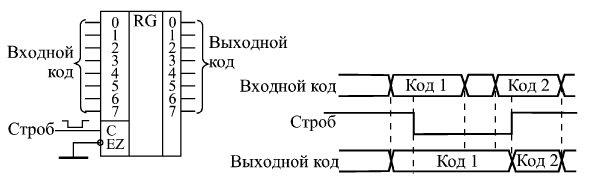
Величины задержек триггеров, срабатывающих по уровню, в 1,5–2 раза превышают задержки D-триггеров. Для правильной работы микросхем положительный импульс на входе С не должен быть слишком коротким, а задержка между изменением информации на входе D и отрицательным фрон-том сигнала С не должна быть слишком малой. Информация на входе D не должна слишком быстро сниматься после отрицательного фронта сигнала С.

Основное применение регистра, срабатывающего по уровню стробирующего сигнала, состоит в запоминании на какое-то заданное время входного кода, причем в остальное время выходной код регистра должен повторять входной (рис. 7.4). Стробирующий сигнал С в этом случае должен быть отрицательным на все время запоминания, и запоминаться будет входной код регистра в момент отрицательного (переднего) фронта сигнала С. Подобная функция бывает, например, необходима при построении устройств сопряжения для компьютеров. Регистр, по сути, продлевает во времени необходимое значение входного кода, в остальное время работая как повторитель.

**Таблица 7.****4**

**Таблица истинности регистра ИР22**

|  |  |  |  |
| --- | --- | --- | --- |
| **Входы** | | | **Выход** |
| -EZ | C | D | Q |
| 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 0 | X | Не меняется |
| 1 | X | X | Z |

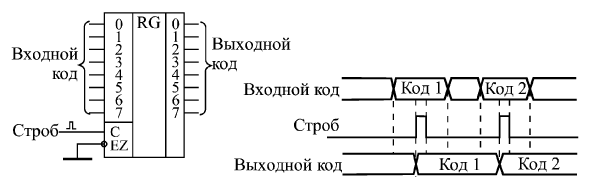


**Рис.** **7.4.** Продление длительности входного кода

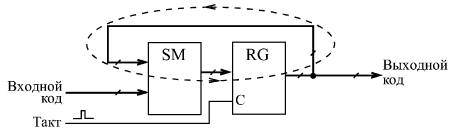
с помощью регистра-защелки

В ряде случаев регистры данного типа могут успешно заменять регистры, срабатывающие по фронту. Например, такая замена возможна в случае необходимости запоминания входного кода по сигналу С до момента прихода следующего сигнала С (рис. 7.5). Сигнал С в данном случае должен быть коротким положительным импульсом, причем он обязательно должен быть "вложен" в запоминаемый входной код, то есть начинаться после начала (момента установления) кода, а заканчиваться до конца (момента снятия) кода (это так называемый вложенный цикл). По переднему фронту сигнала С регистр перейдет в режим пропускания входного кода, а по заднему - в режим его хранения. Поэтому записываемый код на выходе регистра появится по положительному фронту сигнала С.

Однако подобная замена регистра, срабатывающего по фронту, на регистр, срабатывающий по уровню, возможна далеко не всегда. Некоторые схемы в принципе не могут работать с регистром-защелкой даже при очень коротком сигнале на входе С. Примером может служить схема накапливающего сумматора, которая работает исключительно с регистром, срабатывающим по фронту. Ведь при единичном сигнале на входе С регистр-защелка тут же перейдет в состояние пропускания входного кода, и в результате замкнется лавинообразная обратная связь: код с выхода регистра будет складываться со входным кодом бесконечное число раз (рис. 7.6). Конечно, при коротком импульсе на входе С этот неуправляемый процесс быстро прекратится, но что за информация в результате останется в регистре после окончания сигнала С, предсказать невозможно.



**Рис.** **7.5.** Использование регистра-защелки для замены регистра, срабатывающего по фронту



**Рис.** **7.6.** Лавинообразная обратная связь в накапливающем сумматоре

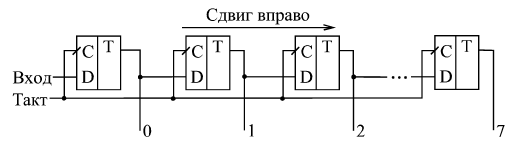
с регистром-защелкой

**Сдвиговые регистры**

Регистры сдвига или сдвиговые регистры (англ. shiftregister) представляют собой, как уже отмечалось, последовательно соединенную цепочку триггеров. Основной режим их работы - это сдвиг разрядов кода, записанного в эти триггеры, То есть по тактовому сигналу содержимое каждого предыдущего триггера переписывается в следующий по порядку в цепочке триггер. Код, хранящийся в регистре, с каждым тактом сдвигается на один разряд в сторону старших разрядов или в сторону младших разрядов, что и дало название регистрам данного типа.

В связи с названием направления сдвига в сдвиговых регистрах часто возникает путаница. Сдвиг бывает двух видов: вправо (основной режим, который есть у всех сдвиговых регистров) и влево (этот режим есть только у некоторых, реверсивных сдвиговых регистров). Названия эти отражают внутреннюю структуру регистров сдвига (рис. 7.7) и перезапись сигналов последовательно по цепочке триггеров. При этом триггеры, вполне естественно, нумеруются слева направо, например, от 0 до 7 (или от 1 до 8) для 8-разрядных регистров. В результате сдвиг информации регистром вправо представляет собой сдвиг в сторону разрядов, имеющих большие номера, а сдвиг информации регистром влево - это сдвиг в сторону разрядов, имеющих меньшие номера.

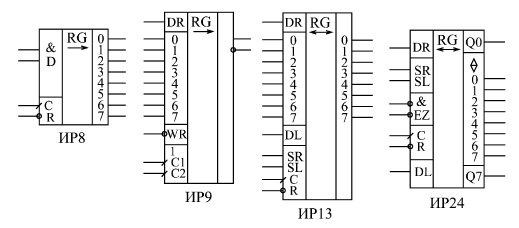
Однако, как известно, в любом двоичном числе слева расположены старшие разряды, а справа - младшие разряды. Поэтому сдвиг двоичного числа вправо будет сдвигом в сторону младших разрядов, а сдвиг влево - сдвигом в сторону старших разрядов. Это противоречие исторически сложилось, и об этом надо помнить разработчику цифровой аппаратуры.



**Рис.** **7.7.** Направление сдвига в сдвиговых регистрах

В стандартные серии цифровых микросхем входит несколько типов сдвиговых регистров, отличающихся возможными режимами работы, режимами записи, чтения и сдвига, а также типом выходных каскадов (2С или 3С). Большинство регистров сдвига имеет восемь разрядов. На рис. 7.15 представлены для примера четыре типа микросхем регистров сдвига.

Регистр ИР8 - наиболее простой из регистров сдвига. Он представляет собой 8-разрядную линию задержки, то есть имеет только один информационный вход, на который подается последовательная сдвигаемая информация (точнее, два входа, объединенных по функции 2И), и восемь параллельных выходов. Сдвиг в сторону выходов со старшими номерами осуществляется по переднему фронту тактового сигнала С. Имеется также вход сброса –R, по нулевому сигналу на котором все выходы регистра сбрасываются в нуль. Таблица истинности регистра ИР8 приведена в табл. 7.5.

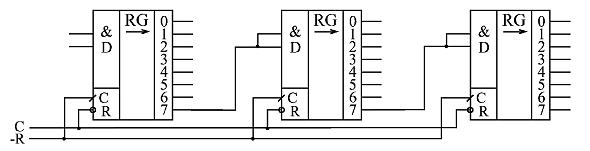


**Рис.** **7.8.** Сдвиговые регистры

**Таблица** **7.5**

**Таблица истинности регистра сдвига ИР8**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Входы** | | | | **Выходы** | | | |
| -R | C | D1 | D2 | Q0 | Q1 | \dots | Q7 |
| 0 | X | X | X | 0 | 0 | \dots | 0 |
| 1 | 0 | X | X | Не меняются | | | |
| 1 | 1 | Х | Х | Не меняются | | | |
| 1 | 0 1 | 1 | 1 | 1 | Q0 | \dots | Q6 |
| 1 | 0 1 | 0 | Х | 0 | Q0 | \dots | Q6 |
| 1 | 0 1 | Х | 0 | 0 | Q0 | \dots | Q6 |



**Рис.** **7.9.** Соединение регистров ИР8 для увеличения разрядности

Регистр ИР9 выполняет функцию, обратную регистру ИР8. Если ИР8 преобразует входную последовательную информацию в выходную параллельную, то регистр ИР9 преобразует входную параллельную информацию в выходную последовательную. Однако суть сдвига не меняется, просто в ИР9 все внутренние триггеры имеют выведенные параллельные входы, и только один, последний триггер имеет выход (причем как прямой, так и инверсный). Запись входного кода в регистр производится по нулевому сигналу на входе -WR. Сдвиг осуществляется по положительному фронту на одном из двух тактовых входов С1 и С2, объединенных по функции 2ИЛИ. Имеется вход расширения DR, сигнал с которого в режиме сдвига перезаписывается в младший разряд сдвигового регистра. Таблица истинности регистра ИР9 приведена в табл. 7.6.

**Таблица 7.6**

**Таблица истинности** **регистра сдвига ИР9**

|  |  |  |  |
| --- | --- | --- | --- |
| **Входы** | | | **Функция** |
| -WR | C1 | C2 |  |
| 0 | X | X | Параллельная запись |
| 1 | 1 | Х | Хранение |
| 1 | Х | 1 | Хранение |
| 1 | 0 | 0 1 | Сдвиг |
| 1 | 0 1 | 0 | Сдвиг |

**ЛАБОРАТОРНАЯ РАБОТА №7**

**Цель работы.** Изучение устройства и принципа действия простейшего регистра.

**Подготовка к работе**

1. Что такое регистр и в чем его назначение?
2. От чего зависит количество триггеров в регистре?

**Оборудование**

Микросхема К155ТМ8.

Светодиоды АЛ307БМ.

**Задание №1.** Анализ схемы данного регистра.

1. Ознакомиться с блоком №7.
2. Подать постоянное напряжение 5 В к гнездам X1, X2.
3. Проанализировать, какой сигнал поступают на D – входы триггеров при замкнутых состояниях выключателей SA1 - SA3.
4. Проанализировать, какой сигнал поступает на P - входы триггеров при нажатии кнопки SB1. Какой уровень сигнала является активным?
5. Проанализировать, какой перепад напряжения возникает на C – входах триггеров при нажатии кнопки SB2.

**Задание №2.** Изучение действий, выполняемых данным регистром.

1. Нажатием кнопки SB1 обнулить регистр. Состояние выходов триггеров фиксировать светодиодами VD1 – VD6.
2. Записать информацию в регистр:

2.1. Установить с помощью выключателей SA1 – SA3 на входе регистра код 111.

2.2. Нажать кнопку SB2.

2.3. Убедиться, что состояние регистра изменилось.

2.4. Результаты наблюдений занести в табл. 7.1.

1. Хранение информации:

3.1. Изменить с помощью выключателей SA1 – SA3 код на входе регистра.

3.2. Убедиться, что состояние регистра не изменилось.

3.3. Результаты занести в табл. 7.7.

**Таблица 7.7**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **№**  **п/п** | **Состояние входов** | | | | | **Состояние выходов** | | | | | |
|  | **D1** | **D2** | **D3** | **C** | **Q1** | **Q2** | **Q3** |  |  |  |
| **1** |  |  |  |  |  |  |  |  |  |  |  |
| **2** |  |  |  |  |  |  |  |  |  |  |  |
| **3** |  |  |  |  |  |  |  |  |  |  |  |
| **4** |  |  |  |  |  |  |  |  |  |  |  |
| **5** |  |  |  |  |  |  |  |  |  |  |  |

4. Запись новой информации:

4.1. Установить на входе регистра код 101.

4.2. Нажать кнопку SB2 и наблюдать состояние регистра.

4.3. Результаты занести в табл. 7.7.

5. Обнуление регистра:

5.1. Нажать кнопку SB1.

5.2. Состояние регистра отразить в табл. 7.1.

***Оформление отчета***

1. Зарисовать схему регистра, изображенную на блоке.
2. Записать выводы, сделанные в пунктах 3, 4, 5 задания №1.
3. Ответить на контрольные вопросы.

***Контрольные вопросы***

1. Каковы условное обозначение и назначение выводов микросхемы К155ТМ8 (приложение на стр. 64)?
2. Какие разновидности регистров Вам известны?
3. Каковы условное обозначение и диаграмма переключений – триггера?
4. Изменить схему соединения триггеров в данном регистре для получения регистра сдвига.
5. Поясните запись трехразрядного кода в регистр сдвига с помощью временной диаграммы.

**ПРИЛОЖЕНИЕ**

**ОТЕЧЕСТВЕННАЯ СИСТЕМА ОБОЗНАЧЕНИЙ МИКРОСХЕМ**

Система условных обозначений современных типов интегральных микросхем установлена ОСТ 11 073.915-2000. В основу системы обозначений положен буквенно-цифровой код.

Первый элемент - цифра, обозначающая группу интегральной микросхемы по конструктивно-технологическому исполнению:

* 1,5,6,7 - полупроводниковые микросхемы;
* 2,4,8 – гибридные микросхемы;
* 3 - прочие (пленочные, керамические и т.д.)

Второй элемент - две или три цифры (от 01 до 99 или от 001 до 999), указывающие на порядковый номер разработки данной серии микросхем.

Третий элемент - две буквы, обозначающие функциональную подгруппу и вид микросхемы.

**А Формирователи:**

* АА - адресные;
* АГ - импульсов прямоугольной формы;
* АИ - временных интервалов (таймеры);
* АН - напряжения;
* АП - прочие;
* АР - разрядные;
* АТ - тока;
* АФ - импульсов специальной формы.

**Б Базовые кристаллы:**

* БА - аналоговые;
* БК - комбинированные;
* БП - прочие;
* БЦ - цифровые.

**В Схемы вычислительных устройств:**

* ВА - схемы сопряжения с магистралью;
* ВБ - схемы синхронизации;
* ВВ - схемы управления вводом - выводом;
* ВГ - контроллеры;
* ВЕ - однокристальные микро-ЭВМ;
* ВК - комбинированные схемы;
* ВМ - микропроцессоры, сопроцессоры;
* ВН - схемы управления прерыванием;
* ВП - прочие;
* ВС - микропроцессорные секции;
* ВТ - схемы управления памятью;
* ВУ - схемы микропрограммного управления;
* ВХ - микрокалькуляторы;
* ВЦ - процессоры цифровой обработки сигналов;
* ВЮ - контроллеры с аналоговыми входами и выходами;
* ВЯ - процессоры цифровой обработки сигналов с аналоговыми входами и выходами.

**Г Генераторы сигналов:**

* ГГ - прямоугольных сигналов;
* ГЛ - линейно - изменяющихся сигналов;
* ГМ - шума;
* ГН - программируемые;
* ГП - прочие;
* ГС - гармонических сигналов;
* ГФ -  сигналов специальной формы.

**Д Детекторы:**

* ДА - амплитудные;
* ДИ - импульсные;
* ДП - прочие;
* ДС - частотные;
* ДФ - фазовые.

**Е Схемы источников вторичного питания:**

* ЕА – стабилизаторы напряжения непрерывные фиксированные однополярные асимметричные;
* ЕВ - выпрямители;
* ЕГ – стабилизаторы напряжения непрерывные регулируемые отрицательной полярности;
* ЕД- стабилизаторы напряжения непрерывные фиксированные двухполярные симметричные;
* ЕИ –стабилизаторы напряжения непрерывные фиксированные отрицательной полярности;
* ЕК - стабилизаторы напряжения импульсные;
* ЕЛ- стабилизаторы напряжения непрерывные фиксированные двухполярные асимметричные;
* ЕН - стабилизаторы напряжения непрерывные;
* ЕП – прочие;
* ЕР- стабилизаторы напряжения непрерывные регулируемые положительной полярности;
* ЕС - источники вторичного питания;
* ЕТ - стабилизаторы тока;
* ЕУ - устройства управления импульсными стабилизаторами напряжения.

**И Схемы цифровых устройств:**

* ИА - арифметико - логические устройства;
* ИВ - шифраторы;
* ИД - дешифраторы;
* ИЕ - счетчики;
* ИК - комбинированные;
* ИЛ - полусумматоры;
* ИМ - сумматоры;
* ИН - приемники, передатчики, приемо-передатчики;
* ИП - прочие;
* ИР - регистры;
* ИФ - функциональные расширители.

**К Коммутаторы и ключи:**

* КН - напряжения;
* КП - прочие;
* КТ - тока.

**Л Логические элементы:**

* ЛА - И-НЕ;
* ЛБ - И-НЕ/ИЛИ-НЕ;
* ЛД - расширители;
* ЛЕ - ИЛИ-НЕ;
* ЛИ - И;
* ЛК - И-ИЛИ-НЕ/И-ИЛИ;
* ЛЛ - ИЛИ;
* ЛМ - ИЛИ-НЕ (ИЛИ);
* ЛН - НЕ;
* ЛП – прочие;
* ЛР – И-ИЛИ-НЕ;
* ЛС –И–ИЛИ.

**М Модуляторы:**

* МА - амплитудные;
* MИ - импульсные;
* MП - прочие;
* MС - частотные;
* MФ - фазовые.

**Н Наборы элементов:**

* НД - диодов;
* НЕ - конденсаторов;
* НК - комбинированные;
* НП – прочие;
* НР - резисторов;
* НТ - транзисторов;
* НФ – функциональные.

**П Преобразователи:**

* ПА - цифро - аналоговые;
* ПВ - аналого - цифровые;
* ПД - длительности (импульсов);
* ПК - делители частоты аналоговые;
* ПЛ - синтезаторы частоты;
* ПН - напряжения;
* ПП – прочие;
* ПР - код - код;
* ПС - частоты;
* ПУ - уровня (согласователи);
* ПФ - функциональные;
* ПЦ - делители частоты цифровые.

**Р Запоминающие устройства:**

* РА - ассоциативные запоминающие устройства;
* РВ - матрицы постоянных запоминающих устройств;
* РГ - ОЗУ регистрового типа;
* РД - Динамические ОЗУ
* РЕ - ПЗУ масочные;
* РК - ОЗУ многопортовые;
* РМ - матрицы ОЗУ;
* РН – Энергозависимые статические ЗУ с хранением информации при отключении питания;
* РП - прочие
* РУ - ОЗУ;
* РР - ПЗУ с многократным электрическим перепрограммированием и параллельным вводом/выводом;
* РС- ПЗУ с возможностью многократного электрического перепрограммирования с последовательным вводом/выводом;
* РТ - ПЗУ с возможностью однократного программирования;
* РУ- Статические оперативные запоминающие устройства;
* РФ - ПЗУ с ультрафиолетовым стиранием и электрической записью информации;
* РЦ - запоминающие устройства на ЦМД.

**С Схемы сравнения:**

* CА - компараторы напряжения;
* CВ - временные;
* СК - амплитудные;
* CП - прочие;
* CС - частотные;
* СЦ - цифровые.

**Т Триггеры:**

* ТВ - Универсальный (типа J-K);
* ТД - динамические;
* ТК – комбинированные (типов D-T, R-S-T и т.п.);
* ТЛ - Шмитта;
* ТМ - с задержкой (типа D);
* ТП - прочие;
* ТР – с раздельным запуском (типа R-S);
* ТТ – счетные (типа Т).

**У Усилители:**

* УБ - инструментальные;
* УВ - высокой частоты;
* УГ - малошумящие;
* УД - операционные;
* УЕ - повторители;
* УИ - импульсные;
* УК - широкополосные;
* УЛ - считывания и воспроизведения;
* УМ - индикации;
* УН - низкой частоты;
* УП - прочие;
* УР - промежуточной частоты;
* УС - дифференциальные;
* УТ - постоянного тока.

**Ф Фильтры:**

* ФА - адаптивные цифровые;
* ФБ - полосовые;
* ФВ - верхних частот;
* ФМ - программируемые;
* ФН - нижних частот;
* ФП - прочие;
* ФР - режекторные;
* ФУ - универсальные.

**Х Многофункциональные устройства:**

* ХА - аналоговые;
* ХБ- для радио, телевидения, магнитофонов, дисплеев;
* ХВ- для автоэлектроники;
* ХД- для коммуникационной аппаратуры;
* ХИ - аналоговые матрицы;
* ХК -комбинированные;
* ХЛ - цифровые;
* ХП – прочие;
* ХР- для бытовых приборов;
* ХС- программируемые логические микросхемы;
* ХХ- силовой электроники.

**Ц Фоточувствительные схемы с зарядовой связью:**

* ЦЛ - линейные;
* ЦМ - матричные;
* ЦП - прочие.

**Ч Преобразователи физических величин и компоненты датчиков:**

* ЧВ - влажности;
* ЧГ - газов;
* ЧД - давления;
* ЧИ - ионизирующих излучений;
* ЧМ - механических перемещений;
* ЧП - прочие;
* ЧТ - температуры;
* ЧЭ - электромагнитного поля.

**Э Схемы задержки:**

* ЭМ - пассивные;
* ЭП - прочие;
* ЭР - активные.

Четвертый элемент - число, обозначающее порядковый номер разработки микросхемы определенного функционального назначения в конкретной серии. Одна или две цифры.

Следующий элемент в обозначении указывает на отличие микросхем одного типа по температурному диапазону или электрическим характеристикам (быстродействию, допуску на напряжение питания, значению выходных токов и т.п.). Одна буква русского алфавита от А до М, за исключением букв З и Й.

Шестой элемент - тип корпуса. Буква указывает на номер типа корпуса в соответствии с ГОСТ 17467-88.

* П - корпус 1-го типа (SIP, ZIP, КТ 26/27/28);
* Р - корпус 2-го типа (DIP);
* С - корпус 3-го типа (CAN);
* Т - корпус 4-го типа (SOP, QFP, QFJ, планарные);
* У - корпус 5-го типа (микрокорпуса), ранее начинались с буквы «Н»;
* Ф - корпус 6-го типа (PGA);
* Н - бескорпусное исполнение.

Для бескорпусных микросхем (обозначаются буквой Н) цифра указывает на модификацию конструкторского исполнения. Если микросхема выпускается только в одной разновидности корпуса данного типа, то цифра может отсутствовать.

* 1 - с гибкими выводами;
* 2 - на полиамидном носителе с ленточными выводами;
* 3 - с жесткими выводами, только для ИС широкого применения;
* 4 - на общей пластине, неразделенные;
* 5 - на общей пластине, разделенные без потери ориентировки (например, наклеенные на пленку), только для ИС широкого применения.

**СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ**

* 1. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования: учебник/ Ю.В. Новиков – М.: Мир, 2001. – 379 с., ил.
  2. Шишмарев В.Ю. Типовые элементы систем автоматического управления/ В.Ю. Шишмарев – М.: Издательство Academia, 2011. – 304 с.
  3. А.Л. Червоный. Реле и элементы промышленной автоматики/ А.Л. Червоный – М.: Издательство «РадиоСофт», 2012. – 216 с.
  4. Волович Г.И. Схемотехника аналоговых и аналого-цифровых электронных устройств/ Г.И. Волович – М.: Издательство «ДМК Пресс», 2015. – 528 с.

1. Водовозов А.М. Элементы систем автоматики/ А.М. Водовозов - М.: Издательство Academia, 2008. – 224 с.
2. Розанов Ю.К., Соколова Е.М. Электронные устройства электромеханических систем/ Ю.К.Розанов, Е.М. Соколова - М.: Издательский центр «Академия», 2006. - 272 с.

**Учебное издание**

**Тумаева Елена Викторовна**

кандидат технических наук

**Ганиев Ришат Наильевич**

кандидат технических наук

**Гаврилов Евгений Николаевич**

кандидат технических наук

**ЭЛЕМЕНТЫ СИСТЕМ АВТОМАТИКИ**

УЧЕБНОЕ ПОСОБИЕ

Корректор Белова И.М.

Худ. редактор Фёдорова Л.Г.

Сдано в набор 30.11.15.

Подписано в печать 09.12.15.

Бумага писчая. Гарнитура Таймс.

Усл. печ. л. 5,2. Тираж 100 экз.

Заказ № 30.

НХТИ ФГБОУ ВПО «КНИТУ»,

г. Нижнекамск, 423570, ул. 30 лет Победы, д. 5а.