

Министерство науки и высшего образования Российской Федерации
Нижекамский химико-технологический институт (филиал)
федерального государственного бюджетного образовательного учреждения
высшего образования
«Казанский национальный исследовательский технологический университет»
(НХТИ ФГБОУ ВО «КНИТУ»)

УТВЕРЖДАЮ



Заместитель директора по УР

Н.И. Никифорова

« 12 » 04 2021 г.

ФОНД ОЦЕНОЧНЫХ СРЕДСТВ

по дисциплине (модулю)

Б1.В.18 Микропроцессорные средства

(наименование дисциплины (модуля))

09.03.01 «Информатика и вычислительная техника»

(код и наименование направления подготовки/ специальности)

Автоматизированные системы обработки информации и управления

(наименование профиля/программы/направленности/специализации)

бакалавр


квалификация

очная, очно-заочная

форма обучения

Нижнекамск, 2021 г.

Составитель ФОС:
доцент _____


(подпись) _____

О.В. Матухина

ФОС рассмотрен и одобрен на заседании кафедры ИСТ,
протокол от 15.03.2021г. № 7

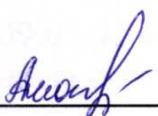
Зав. кафедрой
(подпись) _____

(Ф.И.О.) _____


(подпись) _____

О.В.Матухина

Эксперт:
Руководитель ООП _____


(подпись) _____

Л.А. Амаева

Перечень компетенций и индикаторов достижения компетенций с указанием этапов формирования в процессе освоения дисциплины

Компетенция:

ПК-4 Способен осуществлять администрирование процесса контроля производительности сетевых устройств и программного обеспечения, проводить регламентные работы на сетевых устройствах и программном обеспечении инфокоммуникационной системы

ПК-4.1 Знает общие принципы функционирования аппаратных, программных и программно-аппаратных средств администрируемой сети

ПК-4.2 Умеет осуществлять администрирование процесса контроля производительности сетевых устройств и программного обеспечения, проводить регламентные работы на сетевых устройствах и программном обеспечении инфокоммуникационной системы

ПК-4.3 Владеет навыками регламентного обслуживания оборудования в соответствии с рекомендациями производителя и оценки эффективности конфигурации сетевых устройств с точки зрения производительности сети

<i>Индикаторы достижения компетенции</i>	<i>Этапы формирования в процессе освоения дисциплины</i>				<i>Наименование оценочного средства</i>
	<i>Лекции</i>	<i>Практические занятия</i>	<i>Лабораторные занятия</i>	<i>Курсовой проект (работа)</i>	
ПК-4.1, ПК-4.2, ПК-4.3.	<i>Тема 1-3</i>	<i>Не предусмотрены</i>	<i>Тема 1-3</i>	<i>Не предусмотрены</i>	<i>Выполнение РГР,</i>

Министерство науки и высшего образования Российской Федерации
Нижекамский химико-технологический институт (филиал)
федерального государственного бюджетного образовательного учреждения
высшего образования
«Казанский национальный исследовательский технологический университет»
Факультет управления и автоматизации
Кафедра информационных систем и технологий

Направление подготовки: 09.03.01 Информатика и вычислительная техника

Комплект заданий для выполнения расчетно-графической работы
по дисциплине Б1.В.ДВ.03.01 Микропроцессорные средства

РГР №1. Основы МПС

Задание №1. Дать ответы на два вопроса – теоретического и практического характера. Варианты заданий приведены ниже

Вариант 1

1. Почему в системах управления в настоящее время применяются преимущественно цифровые методы обработки сигналов?
2. Какова должна быть минимальная длина командного слова микропроцессора для реализации 2500 различных команд?

Вариант 2

1. Дать определение микропроцессора и микро-ЭВМ и объяснить, какие преимущества имеет микропроцессорная реализация электронного устройства перед его реализацией на основе цифровых микросхем с жесткой логикой функционирования.
2. Сколько машинных слов необходимо для представления в 8-битном микропроцессоре чисел в диапазоне от 1 до 1000000 (в формате с фиксированной запятой).

Вариант 3

1. Перечислить основные составные части микро-ЭВМ и охарактеризовать их назначение.
2. Сколько двоичных разрядов (без учета знака) содержит:
 - а) сумма двух целых n -битных чисел;
 - б) разность двух целых n -битных чисел;
 - в) произведение двух целых n -битных чисел?

Вариант 4

1. Перечислить основные виды периферийных устройств микро-ЭВМ.
2. В микропроцессоре необходимо обрабатывать данные о величинах напряжений, которые могут принимать значения от 0,01 В до 10,00 В с точностью

0,01 В. Какова длина машинного кода, требуемого для представления этих данных?

Вариант 5

1. Дать понятие интерфейса.
2. Сколько страниц прямо адресуемой памяти имеет микропроцессор с 20-битной шиной адреса при длине страницы памяти 4096 машинных слова?

Вариант 6

1. По каким основным параметрам и качествам классифицируются микропроцессоры?
2. Какова должна быть разрядность регистра страницы памяти при использовании 16-битного микропроцессора с 16-разрядной шиной адреса и требуемом объеме памяти 1Мбайт?

Вариант 7

1. Что входит в понятие архитектуры микропроцессора и микро-ЭВМ?
2. Какой микропроцессор целесообразнее использовать с точки зрения максимального быстродействия - с тактовой частотой 11 МГц и средним циклом команды 10 тактов или с тактовой частотой 6 МГц и средним циклом команды 5 тактов?

Вариант 8

1. Как функционирует и для чего используется стековая память?
2. Для реализации одного и того же алгоритма в первом микропроцессоре необходимо использовать 20 команд передачи данных, 30 команд обработки данных и 10 команд управления, а во втором микропроцессоре - 15 команд передачи данных, 40 команд обработки данных и 5 команд управления. Какой микропроцессор быстрее выполнит соответствующую программу, если среднее время выполнения команд передачи данных в обоих микропроцессорах - 2 мкс, команд обработки данных - 3 мкс, а команд управления - 5 мкс.

Вариант 9

1. Опишите порядок выполнения команды микропроцессором.
2. Какой микропроцессор предпочтительнее с точки зрения минимального времени выполнения программы, если для реализации заданного алгоритма в микропроцессоре с быстродействием 500 тыс. оп./сек. требуется 70 команд, а в микропроцессоре с быстродействием 800 тыс. оп./сек. - 120 команд?

Вариант 10

1. Какие микроэлектронные технологии применяются в производстве микропроцессоров и какие преимущества дает использование той или иной технологии?
2. Сколько процентов времени микропроцессор занят выполнением основной задачи, если кроме нее он обслуживает каждую секунду 100 прерываний, а время обслуживания каждого прерывания равно 2 мс?

Вариант 11

1. Каковы основные различия между управляющими и персональными микро-ЭВМ?
2. Какова требуемая длина двоично-десятичного кода для представления чисел в диапазоне от 1 до 3000?

Вариант 12

1. Какие основные операции выполняют арифметико-логические устройства микропроцессоров?
2. Определить значения признаков CY (перенос), AC (полуперенос), S (знак), Z (нуль) и P (четность) в микропроцессоре KP580BM80A после выполнения команды ADD B, если до ее выполнения $A = 9BH$, $B = 36H$.

Вариант 13

1. Перечислить основные виды внутренних регистров микропроцессоров.
2. В какие ячейки памяти будет произведена запись информации и чему будет равно их содержимое, а также содержимое указателя стека SP после выполнения в микропроцессоре KP580BM80A команды PUSH B, если до ее выполнения $B = 8AH$, $C = 15H$, $SP = 2304H$?

Вариант 14

1. Перечислите основные параметры БИС ЗУ, которые влияют на их выбор при организации блока памяти.
2. Определить значения признаков CY (перенос), AC (полуперенос), S (знак), Z (нуль) и P (четность) в микропроцессоре KP580BM80A после выполнения команды ORA B, если до ее выполнения $A = 8CH$, $B = 47H$.

Вариант 15

1. Какое прерывание называется векторным и что такое вектор прерывания?
2. Какие машинные циклы реализуются в микропроцессоре KP580BM80A при выполнении команды SHLDADR и какова длительность этой команды?

Вариант 16

1. Каково назначение счетчика команд и как изменяется его содержимое в процессе выполнения программы микропроцессором?
2. Определить значения признаков CY (перенос), AC (полуперенос), S (знак), Z (нуль) и P (четность) в микропроцессоре KP580BM80A после выполнения команды INRB, если до ее выполнения $B = FFH$.

Вариант 17

1. Почему при проектировании микропроцессорных систем применяется магистральный принцип организации взаимосвязи ее узлов, какие основные шины входят в состав системной магистрали, для чего используется мультиплексирование шин и как это отражается на структуре и функционировании системы?

2. Какие машинные циклы реализуются в микропроцессоре КР580ВМ80А при выполнении команды OUTN и какова длительность этой команды?

Вариант 18

1. Какая информация записывается в регистр признаков микропроцессора и как она используется?
2. Определить содержимое указанных регистров после выполнения следующего фрагмента программы:

LXI B, 7FFB0H

MOV A, B

XRAC

Вариант 19

1. Какие прерывания называются вложенными и для чего они используются?
2. Какие машинные циклы реализуются в микропроцессоре КР580ВМ80А при выполнении команды MVIM, D8 и какова длительность этой команды?

Вариант 20

1. В чем различие жесткого (схемного) и микропрограммного управления выполнением операций в микропроцессоре?
2. Определить значения признаков CY (перенос), AC (полуперенос), S (знак), Z (нуль) и P (четность) в микропроцессоре КР580ВМ80А после выполнения команды CPIFAN, если до ее выполнения $A = 65H$.

Вариант 21

1. Что такое формат команды и какая информация может содержаться в коде команды?
2. Какое количество входов микросхем серии К555 можно подключить к каждому выходу буфера шины данных на базе шинных формирователей К589АП16, если нагрузочная способность микросхемы К589АП16 равна 50 мА при нулевом и 10 мА при единичном уровне сигнала, а входные токи микросхем серии К555 составляют 0,36 мА при нулевом и 20 мкА при единичном уровне сигнала?

Вариант 22

1. Перечислить основные типы команд микропроцессора.
2. Как построить простейшую схему дешифрации адреса - выбора портов ввода-вывода без использования дополнительных аппаратных средств при наличии 8-битной шины адреса устройств ввода-вывода и не более 8 портов? Какие адреса при этом необходимо назначить портам, если активный уровень сигнала на входах выбора портов ввода-вывода - нулевой?

Вариант 23

1. Перечислить основные способы адресации и указать их достоинства и недостатки.
2. Определить содержимое указанных регистров после выполнения следующего фрагмента программы:

LXI H, 16E7H
MVI B, 39H
MOVC, H
DADB

Вариант 24

1. Что представляют собой секционные микропроцессоры и каковы их достоинства?
2. Сколько микросхем памяти с организацией $256 * 4$ требуется для построения модуля памяти объемом 1К двухбайтных слов и как при этом подключаются их адресные, управляющие и информационные выводы? Какой дешифратор необходимо использовать в составе этого модуля памяти для выбора микросхем памяти?

Вариант 25

1. От каких основных параметров зависит вычислительная мощность микропроцессора?
2. Определить содержимое регистров A и C после выполнения следующего фрагмента программы, если до выполнения было: A = 2FH, C = 4AH.
MOV A, C
ADI FEH
INR C

Вариант 26

1. Чем отличаются оперативные запоминающие устройства статического и динамического типа?
2. Какие машинные циклы реализуются в микропроцессоре KP580BM80A при выполнении команды XTHL и какова длительность этой команды?

Вариант 27

1. Как классифицируются постоянные запоминающие устройства в зависимости от способа программирования и где целесообразно использовать тот или иной тип ПЗУ?
2. Определить содержимое указанных регистров после выполнения следующего фрагмента программы:
LXI D, 01FFH
MOV A, L
ADI 16H
MOV D, A

Вариант 28

1. Назвать основные способы организации связи между микро-ЭВМ и периферийными устройствами и кратко охарактеризовать их особенности.
2. Какие машинные циклы реализуются в микропроцессоре KP580BM80A при выполнении команды CZADR и какова длительность этой команды?

Вариант 29

1. В чем различие синхронного и асинхронного способов передачи данных при выполнении операций ввода-вывода?

2. Определить содержимое регистров A, H и L после выполнения следующего фрагмента программы, если до выполнения было: A = 5CH, H = A3H, L = 9DH.

ADD H

MOV L, A

INX H

Вариант 30

1. Перечислить основные типы интерфейсных БИС, используемых при построении микропроцессорных систем.

2. Сколько микросхем памяти с информационной емкостью 1К однобайтных слов требуется для построения модуля памяти с организацией 8192 * 16 и как при этом подключаются их адресные, управляющие и информационные выходы? Какой дешифратор необходимо использовать в составе этого модуля памяти для выбора микросхем памяти?

Задание №2. Разработать программу на языке ассемблера микропроцессора KP580BM80A в соответствии с заданным вариантом.

Вариант 1

X1 и X2 - 16-битные числа без знака, находящиеся в ОЗУ с начальными адресами ADR1 и ADR2. Выполнить вычитание X1 - X2 и занести результат в ОЗУ с адреса ADR3.

Вариант 2

X - 16-битное число без знака, находящееся в ОЗУ с начальным адресом ADR1, CONST - 16-битная константа. Выполнить вычитание X - CONST и занести результат в ОЗУ с адреса ADR2.

Вариант 3

X - 16-битное число со знаком, находящееся в регистровой паре B. Сравнить X с 16-битной константой CONST и установить в ОЗУ по адресу ADR признак FLAG согласно условиям:

FLAG = 0, если $X \geq CONST$;

FLAG = FFH, если $X < CONST$.

Вариант 4

X1 и X2 - 16-битные числа со знаком, находящиеся в регистровых парах B и D. Сравнить X1 и X2 и установить в ОЗУ по адресу ADR признак FLAG согласно условиям:

FLAG = 0, если $X1 > X2$;

FLAG = FFH, если $X \leq X2$.

Вариант 5

X - 16-битное число без знака, находящееся в регистровой паре B. Сравнить X с 16-битной константой CONST и установить в ОЗУ по адресу ADR признак FLAG согласно условиям:

FLAG = 0, если $X \geq \text{CONST}$;

FLAG = FFH, если $X < \text{CONST}$.

Вариант 6

X1 и X2 - 16-битные числа без знака, находящиеся в регистровых парах B и D. Сравнить X1 и X2 и установить в ОЗУ по адресу ADR признак FLAG согласно условиям:

FLAG = 0, если $X1 > X2$;

FLAG = FFH, если $X \leq X2$.

Вариант 7

X - 8-битное число со знаком, находящееся в ОЗУ по адресу ADR. Выполнить преобразование X в 16-битное число, т.е. занести в ОЗУ старший байт числа по адресу ADR+1.

Примечание: старший байт = 0, если $X \geq 0$;

старший байт = FFH, если $X < 0$.

Вариант 8

X1 и X2 - 8-битные числа со знаком, находящиеся в ОЗУ по адресам ADR1 и ADR2. Сложить X1 и X2 с анализом арифметического переполнения. Установить признак переполнения OVR:

OVR = 0, если переполнения нет;

OVR = FFH, если есть переполнение.

Результат сложения и признак OVR занести в ОЗУ по адресам ADR3 и ADR3+1.

Вариант 9

X - 8-битное число со знаком, находящееся в ОЗУ по адресу ADR1, CONST - константа. Сложить X и CONST с анализом арифметического переполнения. Установить признак переполнения OVR:

OVR = 0, если переполнения нет;

OVR = FFH, если есть переполнение.

Результат сложения и признак OVR занести в ОЗУ по адресам ADR2 и ADR3.

Вариант 10

X1 и X2 - 8-битные числа без знака, находящиеся в ОЗУ по адресам ADR1 и ADR2. Сложить X1 и X2 с анализом арифметического переполнения. Установить признак переполнения OVR:

OVR = 0, если переполнения нет;

OVR = FFH, если есть переполнение.

Результат сложения и признак OVR занести в ОЗУ по адресам ADR3 и ADR3+1.

Вариант 11

X - 8-битное число без знака, находящееся в ОЗУ по адресу ADR1, CONST - константа. Сложить X и CONST с анализом арифметического переполнения. Установить признак переполнения OVR:

OVR = 0, если переполнения нет;

OVR = FFH, если есть переполнение.

Результат сложения и признак OVR занести в ОЗУ по адресам ADR2 и ADR3.

Вариант 12

X – 8-битный код, находящийся в порту ввода P1. Выполнить маскирование (сброс) нечетных разрядов X и инвертирование четных разрядов, результат обработки вывести в порт P2.

Вариант 13

X – 8-битный код, находящийся в порту ввода P1. Выполнить маскирование (сброс) старшей тетрады X и, если результат обработки ненулевой, то вывести его в порт P2.

Вариант 14

Осуществить последовательный вывод в порт P1 8-битных значений X, изменяющихся от 0 до XMAX. Величина XMAX находится в порту P2.

Вариант 15

X1 и X2 - 16-битные числа со знаком, находящиеся в ОЗУ с начальными адресами ADR1 и ADR2. Выполнить вычитание X1 - X2 и занести результат в ОЗУ с адреса ADR3.

Вариант 16

X - 16-битное число со знаком, находящееся в ОЗУ с начальным адресом ADR1, CONST - 16-битная константа. Выполнить вычитание X - CONST и занести результат в ОЗУ с адреса ADR2.

Вариант 17

X - 8-битный код, находящийся в ОЗУ по адресу ADR1. Выполнить логический сдвиг X вправо на N разрядов, где N - константа программы. Результат сдвига занести в ОЗУ по адресу ADR2.

Вариант 18

X - 8-битный код, находящийся в ОЗУ по адресу ADR1. Выполнить циклический сдвиг X влево на N разрядов, где N - константа программы. Результат сдвига занести в ОЗУ по адресу ADR2.

Вариант 19

X - 16-битный код, находящийся в регистровой паре B. Выполнить логический сдвиг X влево на N разрядов, где N - константа программы. Результат сдвига занести в ОЗУ с адреса ADR.

Вариант 20

X - 16-битный код, находящийся в регистровой паре В. Выполнить логический сдвиг X вправо на N разрядов, где N - константа программы. Результат сдвига занести в ОЗУ с адреса ADR.

Вариант 21

X - 8-битный код, находящийся в ОЗУ по адресу ADR1. Выполнить перестановку тетрад в коде X. Результат занести в ОЗУ по адресу ADR2.

Вариант 22

X - символ 16-ричной цифры в коде ASCII, находящийся в ОЗУ по адресу ADR1. Преобразовать символ X в двоичное число, результат занести в ОЗУ по адресу ADR2.

Примечание: коды ASCII символов "0"-"9" - 30H-39H, символов "A"-"F" - 41H-46H.

Вариант 23

X1 и X2 - распакованные 16-ричные числа (младшая тетрада – число от 0 до F, старшая - 0), находящиеся в ОЗУ по адресам ADR1 и ADR1+1. Преобразовать X1 и X2 в упакованный двоичный код (байт), результат занести в ОЗУ по адресу ADR2.

Примечание: X1 - старший разряд 16-ричного числа, X2 -младший.

Вариант 24

X - распакованное 16-ричное число (младшая тетрада – число от 0 до F, старшая - 0), находящееся в ОЗУ по адресу ADR1. Преобразовать X в символ в коде ASCII, результат занести в ОЗУ по адресу ADR2.

Примечание: коды ASCII символов "0"-"9" - 30H-39H, символов "A"-"F" - 41H-46H.

Вариант 25

Заполнить область памяти, начиная с адреса ADR1, размером N байт константой CONST. Значения N и CONST - переменные, находящиеся в памяти по адресам ADR2 и ADR3.

Вариант 26

X(N) - массив из N 8-битных элементов, размещенный в памяти, начиная с адреса ADR1; $N \leq 255$ - константа программы. Переместить X(N) в новую область с адреса ADR2.

Примечание: области памяти не перекрываются.

Вариант 27

X(N) - массив из N 8-битных чисел без знака, размещенный в памяти, начиная с адреса ADR; $N \leq 255$ - константа программы. Найти максимальный элемент массива и сохранить его в аккумуляторе.

Вариант 28

$X(N)$ - массив из N 8-битных чисел со знаком, размещенный в памяти, начиная с адреса ADR ; $N \leq 255$ - константа программы. Найти минимальный элемент массива и сохранить его в аккумуляторе.

Вариант 29

$X(N)$ - массив из N 8-битных значений, считываемых последовательно из порта $P1$; $N \leq 255$ - константа программы. Просуммировать элементы массива и вывести сумму в порт $P2$.

Примечание: полагать, что сумма – 8-битное число.

Вариант 30

$X(N)$ и $Y(N)$ - массивы из N 8-битных чисел, размещенные в памяти, начиная с адресов $ADR1$ и $ADR2$; $N \leq 255$ - константа программы. Сформировать массив $Z = X \oplus Y$ и разместить его в памяти с адреса $ADR3$.

Критерии оценки:

№	Количество баллов	Критерии оценивания
1	55 баллов	работа выполнена полностью; в логических рассуждениях и обосновании решения нет пробелов и ошибок; в решении нет математических ошибок (возможны некоторые неточности, описки, которая не является следствием незнания или непонимания учебного материала), т.е. правильно выполнено 86–100 % работы.
2	46 баллов	работа выполнена полностью, но обоснования шагов решения недостаточны (если умение обосновывать рассуждения не являлось специальным объектом проверки); допущены одна ошибка, или есть два – три недочёта в выкладках, рисунках, чертежах или графиках (если эти виды работ не являлись специальным объектом проверки), т.е. правильно выполнено 74 – 85 % работы.
3	36 баллов	ставится, если: допущено не более двух ошибок или более двух – трех недочетов в выкладках, чертежах или графиках, но обучающийся обладает обязательными умениями по проверяемой теме, т.е. правильно выполнено 60 – 73 % работы.

Министерство науки и высшего образования Российской Федерации
Нижекамский химико-технологический институт (филиал)
федерального государственного бюджетного образовательного учреждения
высшего образования
«Казанский национальный исследовательский технологический университет»
Факультет управления и автоматизации
Кафедра информационных систем и технологий

Направление подготовки: 09.03.01 Информатика и вычислительная техника

Комплект вопросов для коллоквиума
по дисциплине Б1.В.ДВ.03.01 Микропроцессорные средства

Коллоквиум №1

1. Понятие и организация микропроцессорной системы (МПС).
2. Структура сосредоточенных МПС. Магистральные МПС.
3. Структура сосредоточенных МПС. Матричные МПС.
4. Структура сосредоточенных МПС. Конвейерные МПС.
5. Структура распределенных МПС. Функциональная и топологическая децентрализация.
6. Структура распределенных МПС. Радиальные МПС.
7. Структура распределенных МПС. Кольцевые МПС.
8. Структура распределенных МПС. Смешанная структура МПС.
9. Интерфейс микропроцессоров. Магистраль адреса, магистраль данных и магистраль управления.
10. Интерфейс микропроцессоров. Интерфейсные схемы.
11. Интерфейс микропроцессоров. Программно-контролируемый обмен и обмен в режиме прерывания.
12. Интерфейс микропроцессоров. Обмен в режиме прямого доступа к памяти. Метод останова и метод захвата.

Коллоквиум №2

1. Аппаратные средства МПС. Концепция шины. Достоинства и недостатки. Пример.
2. Аппаратные средства МПС. Шина с тремя состояниями. Организация. Пример подключения нескольких устройств.
3. Аппаратные средства МПС. Однонаправленная шина. Двухнаправленная шина. Организация. Пример.
4. Аппаратные средства МПС. Шина данных. Организация. Пример.
5. Аппаратные средства МПС. Шина адреса. Организация. Пример.
6. Аппаратные средства МПС. Шина управления. Организация. Пример.
7. Аппаратные средства МПС. Трехшинная архитектура. Организация.

- Достоинства и недостатки. Примеры МПС с трехшинной архитектурой.
- 8.Аппаратные средства МПС. Двухшинная архитектура. Организация. Достоинства и недостатки. Примеры МПС с двухшинной архитектурой.
- 9.Аппаратные средства МПС. Мультишинная архитектура. Организация. Достоинства и недостатки. Примеры МПС с мультишинной архитектурой.
- 10.Аппаратные средства МПС. Системная шина. Понятие. Организация. Пример.
- 11.Аппаратные средства МПС. Порты ввода. Организация. Пример.
- 12.Аппаратные средства МПС. Порты вывода. Организация. Пример.
- 13.Аппаратные средства МПС. Декодирование адреса при наличии нескольких устройств ввода-вывода. Схема. Пример.
- 14.Аппаратные средства МПС. Декодирование адреса при наличии нескольких ОЗУ и ПЗУ. Схема. Пример.
- 15.Декодирование адресов. Декодирование с помощью дешифратора. Достоинства и недостатки. Схема. Пример.
- 16.Декодирование адресов. Декодирование с помощью логического компаратора. Достоинства и недостатки. Схема. Пример.
- 17.Декодирование адресов. Декодирование методом линейной выборки. Достоинства и недостатки. Схема. Пример.
- 18.Декодирование адресов. Декодирование с применением комбинационных схем и с выделением памяти для УВВ. Достоинства и недостатки. Схема. Пример.

Коллоквиум №3

- 1.Запоминающие устройства. Основные сведения. Система параметров.
- 2.Запоминающие устройства. Классификация.
- 3.Основные структуры запоминающих устройств.
- 4.Запоминающие устройства типа ROM(M), PROM.
- 5.Запоминающие устройства типа EPROM, EEPROM.
- 6.Статические запоминающие устройства. Внутренняя организация.
- 7.Динамические запоминающие устройства. Внутренняя организация. Схема формирования сигналов записи и считывания.
- 8.Динамические запоминающие устройства повышенного быстродействия.
- 9.Регенерация данных в динамических запоминающих устройствах. Затраты времени на регенерацию динамической памяти в МПС.
- 10.Ассоциативная память. Способы организации. Область применения.
- 11.Память с последовательным доступом. Организация. Области применения.
- 12.Интерфейсные схемы. (периферийный параллельный адаптер, периферийный связной адаптер, интервальный таймер).
- 13.Последовательные интерфейсы. Двухпроводные - SPI, IIC.
- 14.Последовательные интерфейсы. Однопроводный- 1-Wire.
- 15.Тенденции построения современных МПС.

16.Процесс разработки МПС. Этапы разработки МПС. Блок-схема проектирования.