

Министерство образования и науки Российской Федерации
Нижекамский химико-технологический институт (филиал)
федерального государственного бюджетного образовательного учреждения
высшего образования
«Казанский национальный исследовательский технологический университет»
(ФГБОУ ВО «КНИТУ»)

А.В. Долганов

ЭВМ и периферийные устройства

*МЕТОДИЧЕСКИЕ УКАЗАНИЯ
к лабораторной работе № 5*

Нижекамск 2016

Лабораторная работа № 5

Локальный интерфейс Intel i486

1. ЦЕЛЬ РАБОТЫ

Целью работы является изучение особенностей локального интерфейса микропроцессора Intel i486. Обучаемый задает сигналы, которые приходят с периферийного устройства, и в зависимости от этих сигналов процессор выдает на шину свои внешние сигналы, а также, указывается, в какое состояние переходит процессор. На диаграммах последовательно можно изучить и исследовать разные режимы работы процессора.

2. ОСНОВНЫЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ. ЛОКАЛЬНЫЙ ИНТЕРФЕЙС МИКРОПРОЦЕССОРА i486 (ИНТЕРФЕЙС С ПАКЕТНОЙ ПЕРЕДАЧЕЙ ДАННЫХ).

2.1. Особенности локального интерфейса i486.

В МП i486, как и в МП i80386, шина адреса содержит 34 линии: 30 линий для задания адреса операнда с точностью до двойного слова и 4 линии для задания адреса операнда с точностью до байта и секций шины данных, по которым передаются байты операнда (сигналы выбора байтов: BE3#, BE2#, BE1# и BE0#).

Локальный интерфейс МП i486 также допускает передачу шестнадцати- и тридцатидвухразрядных операндов, не выровненных по границам слова или двойного слова. При этом возможна параллельная передача по шине данных от одного до четырех байт.

Но в протоколах локальных интерфейсов МП i80386 и МП i486 имеются и отличия. Эти отличия относятся к:

- добавлению новых сигналов,
- кодировке циклов,
- автоконфигурации шины данных,
- использованию встроенной кэш-памяти,
- организации пакетных циклов.

Добавление новых сигналов. Корпус МП i486 имеет 178 выводов. На 32 вывода больше, чем МП i80386. Если учесть, что МП i486 не нуждается в связи с сопроцессором (он интегрирован в корпус МП i486) и в сигнале запроса следующего адреса, то разница составляет 40 выводов. Часть из них (8) остались "неподсоединенными". Одиннадцать выводов используются в качестве дополнительных выводов земли и питания, остальные – для линий новых сигналов.

Основными из этих сигналов, непосредственно связанными с организацией пакетных передач, являются сигналы:

- KEN# (cache enable) – предназначен для указания возможности обмена с кэш-памятью,

- BS8# (bus size 8 bits) – сигнал от устройства к процессору, означающий, что исполнитель – 8-разрядное устройство по шине данных,
- BREADY# – сигнал окончания такта передачи данных в пакетных циклах,
- BLAST# – сигнал ожидания последнего такта в пакетном цикле,
- PLOCK# – дополнительный сигнал идентификации цикла (псевдоблокированный). Сигнализирует, что процессор производит комбинированную операцию: чтение-модификация-запись.

Кодировка циклов

В МП i486 используются следующие сигналы идентификации циклов:

- W/R# – операция в цикле (запись или чтение),
- D/C# – тип передаваемой информации (данные или команды),
- M/IO# – тип обращения (к памяти или к устройствам ввода/вывода),
- LOCK# и PLOCK# – блокированный и псевдоблокированный типы циклов.

Таблица 1. Кодирование типов цикла в МП i486				
M/IO#	D/C#	W/R#	LOCK#	Тип цикла шины
0	0	0	0	Подтверждение прерывания
0	0	1	0	<i>Останов</i>
0	1	0	1	Чтение данных из устройства в/в
0	1	1	1	Запись данных в устройство в/в
1	0	0	1	Чтение команды из памяти
1	0	1	1	<i>Не возникает</i>
1	1	0	0/1	Чтение данных из памяти
1	1	1	0/1	Запись данных в память

Отличие в кодировке циклов для МП i486 (по отношению к МП i80386) заключается в кодировании состояний "Останов" и неиспользуемого состояния (в таблице 1 – *курсив*)

Автоконфигурация шины данных. В МП i486 возможность динамического изменения ширины шины данных на уровне локального интерфейса обеспечивается при взаимодействии не только с 32-разрядными и с 16-разрядными, но и с 8-разрядными внешними устройствами.

Для взаимодействия с 8-разрядными устройствами локальный интерфейс содержит, кроме линии для передачи сигнала BS16#, дополнительную линию для передачи сигнала BS8# от устройства к процессору.

Активные сигналы на линиях BS8# или BS16# означают, что исполнитель, соответственно, восьми- или шестнадцатиразрядное устройство.

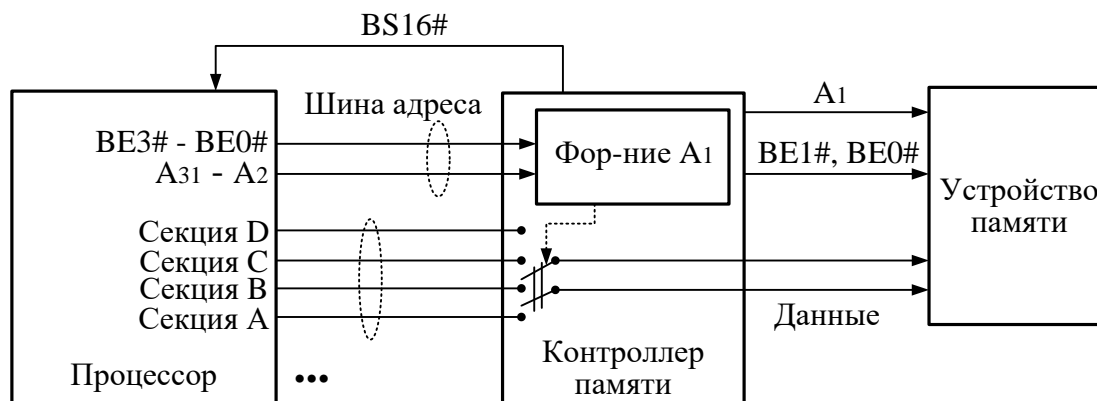
При обнаружении в тактах приема данных любого активного сигнала изменения разрядности шины данных (BS8# или BS16#) МП автоматически продолжает передачу данных до передачи последнего байта.

Но, в отличие от локального интерфейса МП i80386, в МП i486 повторная передача "не принятых" байт данных производится по тем же секциям данных (в соответствии с их адресами в двойном слове). При этом устройство (память), а не процессор, переключает линии интерфейса для приема данных. Для этого контроллер устройства должен иметь:

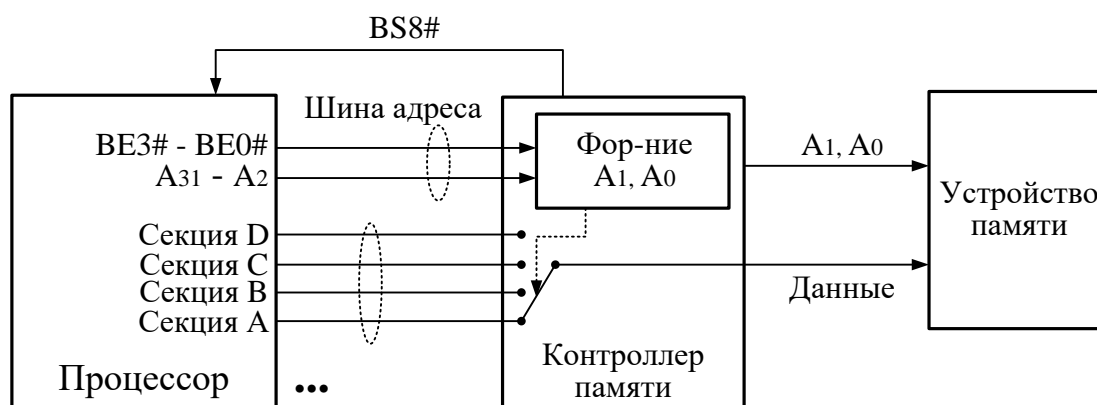
- 32 входные линии шины данных,
- коммутатор выбора секций входной шины данных,
- устройство формирования сигналов автоконфигурации шины данных и управления коммутатором (по значениям младших разрядов адреса A1, A0).

Схемы взаимодействия процессора с устройствами памяти представлены на рис. 1.

Если устройство 16-разрядное по шине данных, то его контроллер должен содержать коммутатор на два положения с "пословной" коммутацией секций шин данных по отдельным словам и устройств формирования сигналов BS16# и сигнала A1 (значение разряда шины адреса, определяющее адрес данных с точностью до слова) (рис. 1 а).



а) Схема взаимодействия процессора с 16-ти разрядным устройством



б) Схема взаимодействия процессора с 8-ти разрядным устройством

Рис.1. Схемы взаимодействия процессора с устройствами памяти

Если устройство 8-разрядное по шине данных, то его контроллер должен содержать коммутатор на четыре положения с побайтной коммутацией секций шины данных и устройств формирования сигналов идентификации позиции коммутатора с формированием сигнала "разрядности данных" BS8# и сигналов

A1 и A0 (значение разрядов шины адреса, определяющий адрес данных с точностью до байта) (рис.1 б).

Автоконфигурация шины данных при запросе на обращение к шестнадцатиразрядному устройству (рис. 1 а). Процессор начинает цикл передачи в предположении, что адресуемое устройство имеет 32-разрядную шину данных. При наличии внутреннего запроса на передачу двойного слова (4 байта) процессор в такте T1 выставляет:

- на шине адреса – адрес данных с точностью до двойного слова (сигналы $A_{31} - A_2$, сигналы выбора байт BE3# – BE0#,
- на шине данных при записи – байты двойного слова в соответствующих секциях шины данных,
- сигнал использования адреса ADS#.

Контроллер адресуемого устройства по значениям сигналов выбора байт BE3# – BE0# вычисляет значение сигнала A1, переключает коммутатор на передачу слова с младшим адресом (в цикле записи снимает с секций шины данных байты слова, а в цикле чтения выставляет данные на линии секций шины данных памяти), выставляет сигнал BS16# и сигнал окончания передачи слова. По сигналу BS16# повторяет передачу данных по тому же адресу (с точностью до двойного слова), но в повторной передаче коммутатор выбирает другую пару байт, изменяется значение A1 и обращение к памяти производится по адресу слова со старшим адресом. Сигнал BS16# – не выставляется.

Сигнал A1 в основной и повторной передачах используется для обращений к 16-разрядному (по шине данных) устройству памяти.

При обращении к отдельным словам, расположенным в старших или в младших секциях шины данных, передача производится за один цикл. Коммутатор по сигналам выбора байт определяет используемые секции шины, производит позиционирование коммутатора и осуществляет прием или передачу адресованных данных. Так как контроллер устройства имеет возможность принимать данные непосредственно с используемых секций шины данных, дублирование байт в локальном интерфейсе МП i486 не используется.

Автоконфигурация шины данных при запросе на обращение к восьмиразрядному устройству (рис. 1 б). Автоконфигурация шины данных при использовании 8-разрядного устройства отличается тем, что контроллер в каждой передаче по сигналам выбора байт BE3# – BE0# формирует значения двух сигналов адреса A1 и A2 для адресации устройства памяти с точностью до байта, отвечает сигналами BS8# (кроме такта передачи последнего байта) и, для организации обращения к каждому байту, использует четыре канала коммутатора. Процессор при каждой передаче выставляет сигналы выбора для всех оставшихся байт и в циклах записи оставляет их всех на соответствующих секциях шины данных.

Использование встроенной кэш-памяти. Существенным отличием МП i486 от более ранних моделей серии, повлиявшим на протоколы локального интерфейса, является появление в корпусе МП, кроме процессора операций с плавающей запятой, встроенного блока локальной кэш-памяти команд и данных на 8Кб.

Размер блока (строки) кэш-памяти – 16 байт. При этом в МП i486 сохранен 16-байтовый буфер кодовой строки. Команды на регистр команд так же, как и в МП i80386, выбираются из этого буфера со сдвигом содержимого и освобождением его младших разрядов. Но после освобождения четырех младших байт этого буфера формируется запрос не к оперативной памяти, а к кэш-памяти. Внутренний запрос Z формируется только при кэш-промахх, как при обращении к данным, так и при выборке строчки кода.

В МП i486 используется кэш-память со сквозной записью. Этим определяется размер передачи данных в операциях записи – два двойных слова (4 байта). Но при обновлении строчки кэш-памяти – выбирается вся строчка в 16 байт (128 бит).

Кроме обращений к оперативной памяти, процессор может производить обмен данными через локальный интерфейс и конверторы шин расширения с другими устройствами. В общем случае возможны запросы процессора на передачи данных от одного до 16 байт.

Шина данных в МП i486 осталась 32-разрядной. Для передачи 16 байт, даже при использовании памяти, обеспечивающей самый короткий двухтактный цикл передачи, потребуется последовательность из четырех обычных циклов передачи.

Конвейерная передача адреса здесь проблему не решает.

Организации пакетных циклов. В МП i486 используется пакетная передача данных (пакетный цикл передачи). При пакетной передаче в первом такте цикла передается адрес, а в следующих тактах – данные.

При этом, в первом такте процессор (или другой задатчик) выставляет адрес данных на шине адреса (30 линий адреса $A_{31} - A_2$) и сигналы выбора байтов: $BE3\#, BE2\#, BE1\#, BE0\#$. Адрес строится сигналом использования адреса ($ADS\#$). В последующих тактах передаются байты данных, стролируемые контроллером памяти сигналами готовности ($BREADY\#$).

Вопросы для самопроверки:

- 1. Новые сигналы в интерфейсе.*
- 2. Особенности автоконфигурации шины данных.*
- 3. Особенности кодировки циклов.*
- 4. Роль встроенной в процессор кэш-памяти.*
- 5. Организация пакетных циклов.*
- 6. Предназначение сигнала $BLAST\#$.*
- 7. Назначение сигналов $RDY\#$ и $BRDY\#$.*
- 8. Назначение сигнала $KEN\#$.*
- 9. Использование сигнала $BLAST\#$.*

2.2. Диаграммы работы локального интерфейса МП i486

Для пакетной передачи данных необходима поддержка режима пакетных циклов со стороны других устройств (памяти или ввода/вывода). Для обеспечения работы с разными устройствами предусмотрено множество режимов передачи:

- простые (не пакетные) циклы,
- последовательность циклов,
- пакетные циклы.

Передачи данных с использованием простых циклов. При любых передачах первым тактом в цикле является такт выставления процессором на линиях интерфейса адреса и сигналов идентификации цикла. В первом же такте, если производится обращение к памяти (после кэш-промаха по чтению), процессор проверяет активность сигнала разрешения кэширования KEN#. При запрещенном кэшировании запрос на данные ограничивается удвоенным словом (4 байта). Такая передача реализуется простым (не пакетным) циклом.

Диаграмма простых циклов без ожидания и с ожиданиями представлена на рис. 2. В диаграмме рассматривается случай использования 32-разрядных устройств.

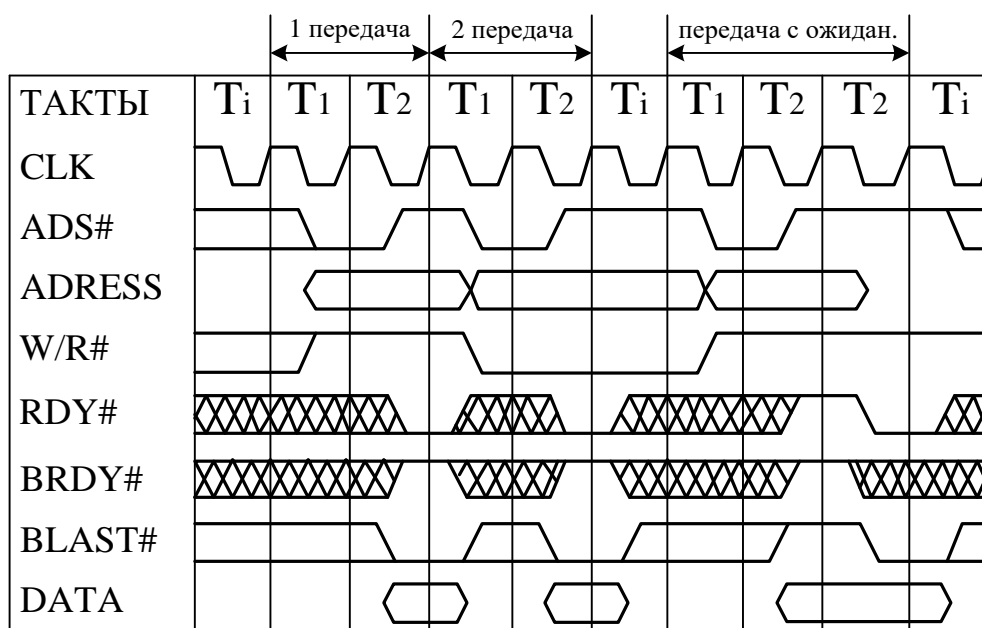


Рис. 2. Непакетные циклы передачи данных

Во втором такте простого цикла в цикле записи процессор выставляет данные на шине данных, а в цикле чтения – ожидает приема данных от устройства. Цикл оканчивается по сигналу RDY#. Этот же сигнал для процессора служит стробом готовности данных. Для сообщения устройству, что данный цикл является простым (не пакетным), процессор выставляет в такте T₂ сигнал BLAST#.

Схема передачи: такт передачи адреса, такт передачи данных.

При использовании менее быстродействующих устройств возможны циклы с дополнительными тактами T2. Серии дополнительных тактов оканчиваются сигналами READY# от устройства.

Схема передачи: такт передачи адреса, такты ожидания, такт передачи данных.

Передача данных с использованием последовательности циклов. Диаграмма передачи данных с использованием последовательности циклов представлена на рис.3.

Любая передача начинается с такта передачи адреса, задания типа циклов и выставления сигнала использования адреса ADS#. Если у процессора имеется запрос на чтение более четырех байт, то он в следующем такте T2 оставляет сигнал BLAST# пассивным.

Пассивный сигнал BLAST# для устройства (памяти) в первом такте T2 означает намерение процессора начать передачу данных длиной более 4-х байт. Если эта передача является заполнением строки кэш-памяти, то процессор в такте T1 проверяет сигнал разрешения кэширования KEN#. Сигнал KEN# повторяется в последнем такте передачи строки кэш-памяти.

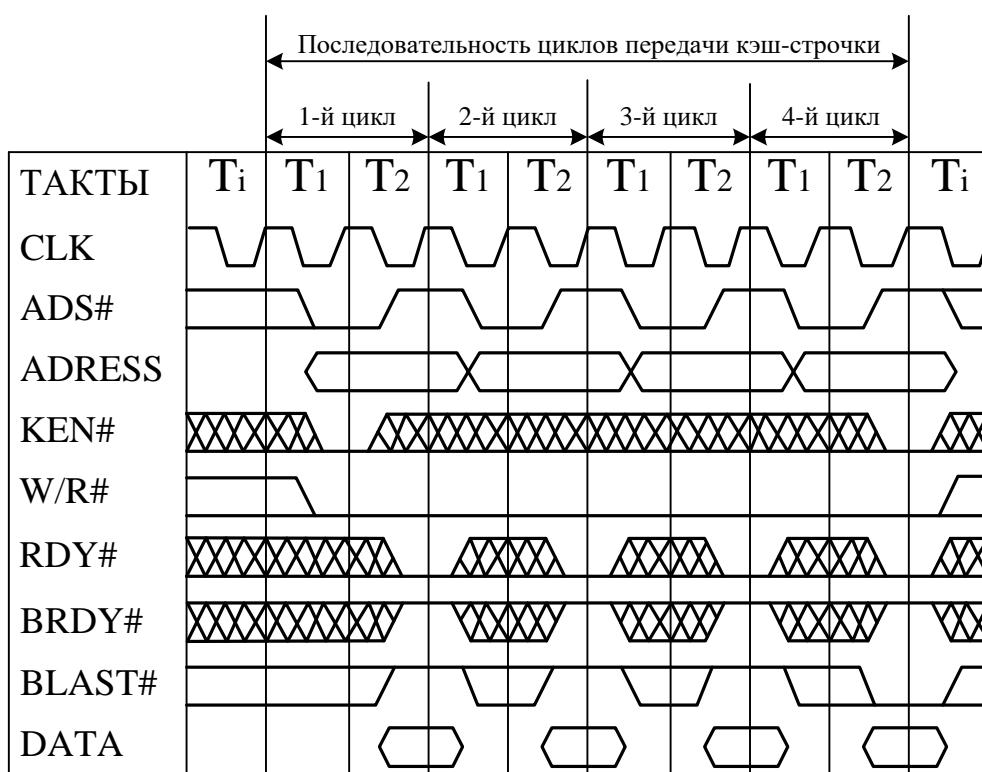


Рис. 3. Последовательность циклов передачи кэш-строки без тактов ожидания

От конструкции устройства зависит выбор сигналов готовности: READY# или BREADY#.

Если устройство отвечает сигналом BREADY#, то передача данных производится в пакетном цикле, если – сигналом READY#, то формируется последовательность циклов.

Сигнал KEN# влияет на выбор типа передачи только косвенно. Он разрешает только кэширование данных. Но при отсутствии сигнала KEN#, запрос на

заполнение строки кэш-памяти меняется на запрос чтения только операнда, заданного командой, и передача может быть выполнена в простом цикле.

Но если процессор производит чтение 64-разрядного операнда (при кэш-промахе) или ввод данных из портов (устройства ввода/вывода), то возможна и передача данных в пакетном цикле.

В общем случае, при заполнении строки кэш-памяти возможно чередование пакетных циклов с последовательностями циклов, если устройство будет чередовать ответные сигналы **BREADY#** и **READY#**.

Общее число байт данных, передаваемых в последовательности циклов по одному внутреннему запросу процессора, и их адреса не должны выходить за пределы одной строки кэш-памяти.

Передача данных с использованием пакетных циклов. Пакетный цикл является основным циклом передачи данных в локальном интерфейсе МП i486 (рис.4).

Пакетный цикл начинается, если в первом такте T2 процессор не активизировал **BLAST#** (указание о многотактной передаче), и устройство ответило сигналом готовности **BRDY#** (**BREADY#**).

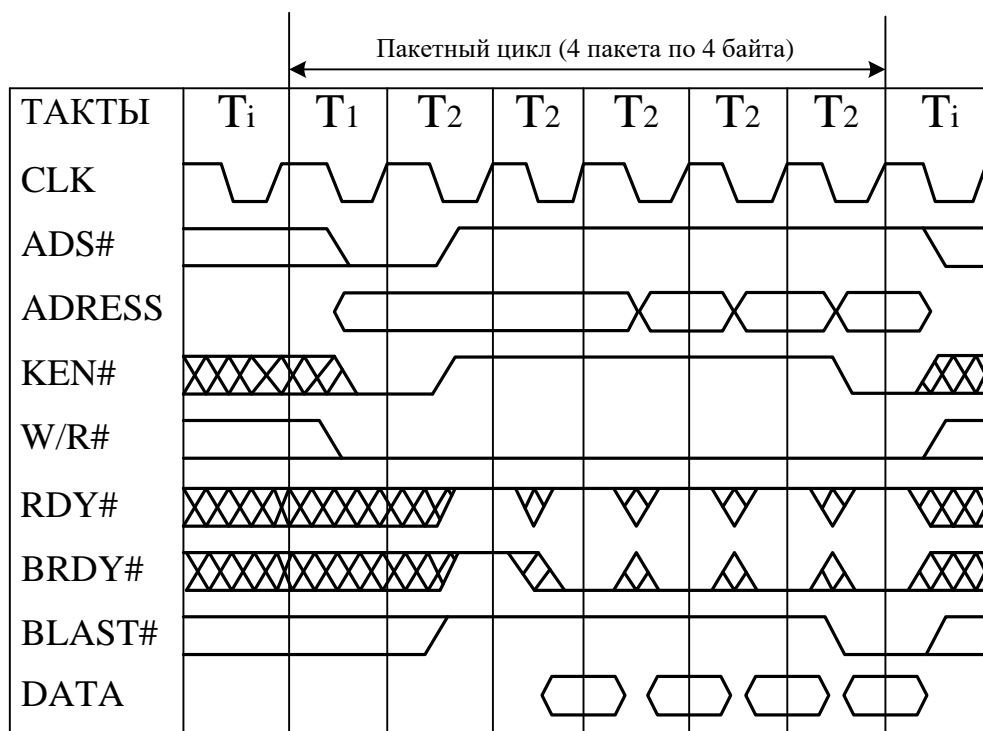


Рис.4. Пакетный цикл передачи кэш-строки с одним тактом ожидания перед передачей данных.

В этом случае схема передачи выглядит так: передача адреса, передача до четырех байт данных. Общее число байт данных, передаваемых в пакетном цикле по одному внутреннему запросу процессора, и их адреса должны не выходить за пределы одной строки кэш-памяти.

Пакет содержит один такт ожидания (такт T2 после такта T1). Он обусловлен задержками дешифрации адреса и задержками формирования данных (всей строки) в регистре данных или буфере строк в микросхемах памяти.

Считывание следующих данных с регистра (в пределах кэш-строки) производится без задержек.

В циклах локального интерфейса могут использоваться 5 типов тактов: T_i , T_1 , T_2 , T_b и T_{1b} . В обычных циклах такты T_b и T_{1b} не используются. Их назначение – обслуживание специальных ситуаций. Это:

- T_b – второй и последующий такты прерванных циклов магистрали.
- T_{1b} – первый такт цикла перезапуска микропроцессора. На линиях адреса и состояния достоверные значения, сигнал $ADS\#$ активен.

Если рассматривать только организацию передачи данных, то можно ограничиться только тактами: T_i , T_1 и T_2 .

Вопросы для самопроверки:

1. Простые циклы, начало, окончание.
2. Переход передачи данных с использованием последовательности циклов, сигнал перехода.
3. Переход передачи данных с использованием пакетных циклов, сигнал перехода

2.3. Модель функционирования локального интерфейса МП i486.

Последовательности тактов, представленные на рисунках 2, 3, и 4 не исчерпывают все множество возможных комбинаций тактов в последовательностях локального интерфейса МП i486. На рисунке 5 представлена упрощенная модель функционирования локального интерфейса МП i486 в виде графа состояний и переходов. Упрощение заключается в том, что в модели не рассматриваются такты T_b и T_{1b} . То есть моделируется только взаимодействие задатчика с исполнителем без арбитража и смены задатчика.

В модели на рис. 5 вершины графа соответствуют отдельным тактам возможных циклов, дуги – переходам. Вершины графа снабжены символами названия соответствующих тактов, переходы – условиями переходов.

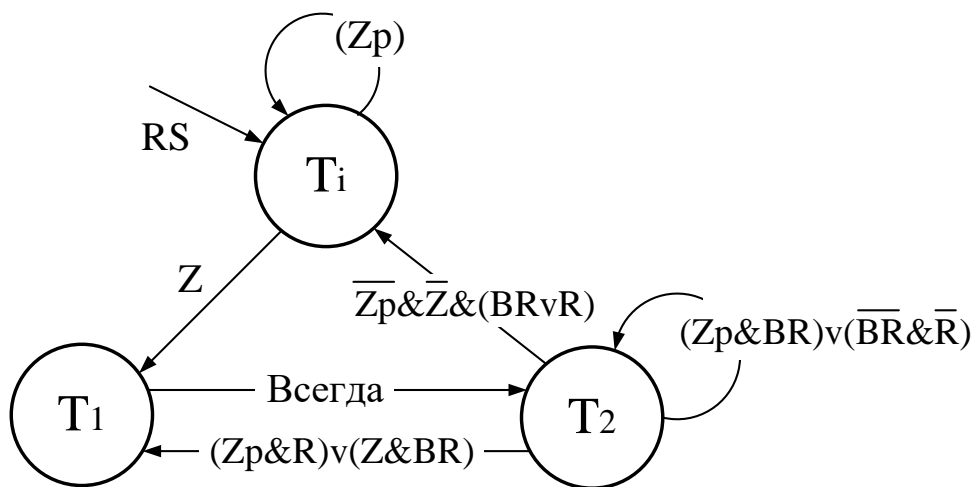


Рис.7.13. Граф состояний механизма пакетной передачи в локальном интерфейсе МП i486 (без учета внепроцессорных передач)

Внутренний запрос процессора на передачу данных может потребовать один простой цикл, один пакетный цикл или одну последовательность циклов, отдельные циклы которой могут быть пакетными. В пакетном цикле и в одной последовательности циклов могут передаваться только данные одной строки кэш-памяти.

В связи с этим в модели внутренний запрос процессора на передачу данных может быть запросом передачи данных новой строки кэш-памяти Z или запросом на продолжение передачи данных той же строки кэш-памяти Z_r .

Описание тактов и условий переходов.

T_i – шины интерфейса находятся в пассивном состоянии. Сигналы на линиях адреса и сигналы статуса имеют неопределенные значения, тристабильные выходы могут находиться в высокоимпедансном состоянии.

При включении или рестарте процессора на шинах интерфейса устанавливается такт T_i . Процессор находится в пассивном состоянии при отсутствии внутреннего запроса процессора на передачу данных. При появлении внутреннего запроса на передачу данных производится переход на такт T_1 .

Состояние подтверждения прерывания для процессора также является пассивным состоянием. Это тоже такт T_i , но в состоянии захвата процессор активизирует идентифицирующий выходной сигнал $HLDA$.

T_1 – Первый такт цикла магистрали. На линиях адреса и идентификации цикла устанавливаются достоверные значения, сигнал $ADS\#$ активен. После такта T_1 всегда следует такт T_2 .

T_2 - Второй и последующие такты цикла магистрали. Данные формируются в цикле записи или принимаются в цикле чтения. Проверяется активность сигналов $RDY\#$ и $BRDY\#$ и наличие внутренних запросов процессора Z и Z_r .

При одновременной пассивности сигналов $RDY\#$ и $BRDY\#$ или активности $BRDY\#$ и Z_r – такт T_2 повторяется.

При активных сигналах Z_r и $RDY\#$ или сигналах Z и $BRDY\#$ – такт T_2 сменяется тактом T_1 .

При одновременной пассивности сигналов Z_r и Z , но активности одного из сигналов готовности $RDY\#$ или $BRDY\#$ – такт T_2 сменяется тактом T_i .

Вопросы для самопроверки:

- 1. Такт T_i , описание, условие перехода.*
- 2. Такт T_1 , описание, условие перехода.*
- 3. Такт T_2 , описание, условие перехода.*

3. ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

1. Лабораторная работа расположена по следующему пути на сервере кафедры:

Z:\Документация\По предметно\Организация ЭВМ и систем (ОЭВМиС) \Лабораторные занятия\ Лабораторная работа №8\Мод и Лаб int486

2. Скопируйте папку «Мод и Лаб int486» на свой компьютер.

3. Внутри папки запустите файл **Int1.exe**.

4. В открытом окне (см. рис.6) нажмите на кнопку «Практика».

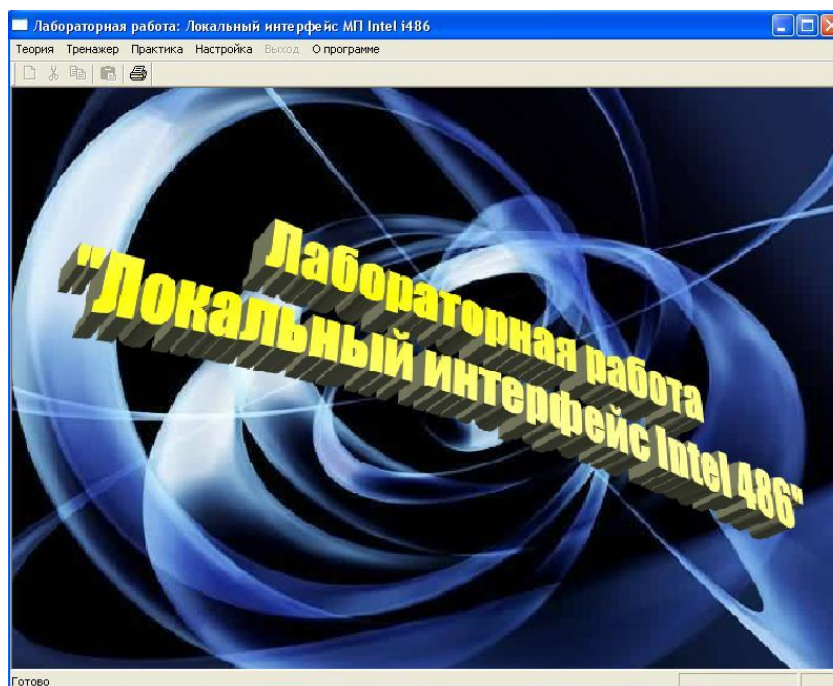


Рис. 6. Общий вид программы.

5. В окне «Регистрация» введите свою фамилию и группу (см. рис.7).

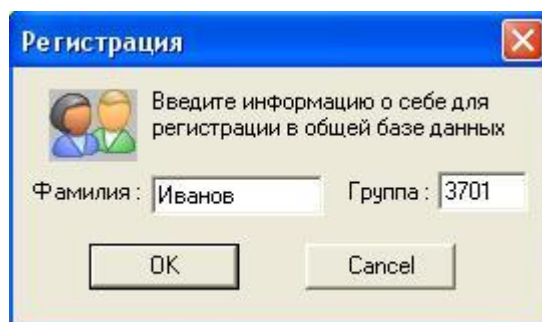


Рис.7. Окно регистрации студента.

6. Прежде, чем перейти к основному тексту, Вам необходимо пройти предварительный тест (см. рис. 8). Последовательно отвечайте на вопросы и следуйте указаниям на экране.

Предварительный тест

Вопросы

1. Назовите сигнал разрешения кэширования?
2. Какой сигнал определяет цикл чтения/записи?
3. Какой сигнал определяет простой цикл?
4. Назовите сигнал окончания простого цикла?

Ответы

- ☐ W/#R
- ☐ #READY
- ☐ #KEN
- ☐ #BLAST
- ☐ #BREADY

Вопросы

5. В каком такте простого цикла выставляется сигнал #ADS ?
6. В каком такте цикла выставляется сигнал #READY ?
7. В каком такте выставляется сигнал разрешения кэширования ?
8. В каком такте выставляется сигнал #BLAST ?

Ответы

- ☐ T1
- ☐ T_i
- ☐ T2
- ☐ T_i, T2
- ☐ T_i, T1

Cancel

Рис.8. Окно предварительного теста.

7. В случае правильного выполнения предварительного теста появится следующее окно (см. рис. 9).

OK

Вы прошли предварительный тест.

OK

Рис.9. Окно успешного выполнения предварительного теста.

8. Далее нажмите кнопку «Начать тест» (см. рис. 10).

Лабораторная работа: Локальный интерфейс МП Intel i486

Теория Тренажер Практика Настройка Выход О программе

Начать тест

TAKT																				
CLK																				
#ADS																				
ADRESS																				
#KEN																				
W/#R																				
#READY																				
#BREADY																				
#BLAST																				
DATA																				

Готово Иванов 3701

Рис.10. Рабочее окно лабораторной работы.

9. Выводятся последовательно следующие вопросы (см. рис. 11а – 11д). Отвечая на них правильно, строится временная диаграмм (см. рис. 12).

Такт ? X

Введите следующий такт

☐ T_i

☐ T₁

☐ T₂

а)

Ads ? X

Введите ADS#

☐ 1 (up)

☐ 0 (down)

б)

Адрес ? X

Введите ADDRESS

☐ Установить [Set]

☐ Продоржить [Continue]

☐ Сбросить [Reset]

☐ 3-е состояние [XXX]

в)

Wr ? X

Введите W/R#

☐ 1 (up)

☐ 0 (down)

г)

Data ? X

Введите DATA

☐ Устоновить [Set]

☐ Сбросить [Reset]

☐ Продолжить [Continue]

☐ Reset and Set

д)

Рис.11. Окна вопросов.

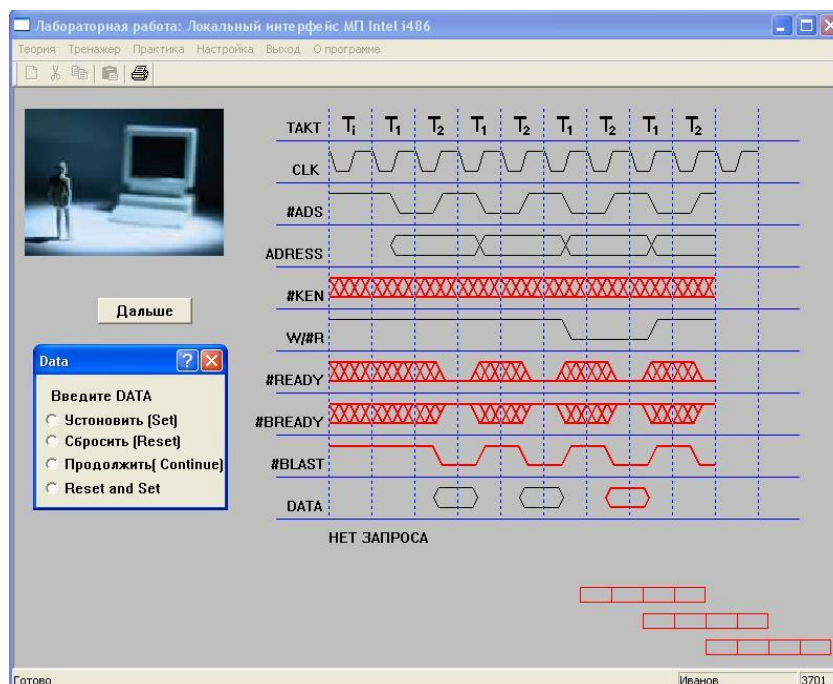


Рис.12. Временная диаграмма.

10. В случае правильного построения временной диаграммы, выполненное вами задание отмечается желтым прямоугольником в нижнем правом углу рабочего окна лабораторной работы (см. рис. 13).

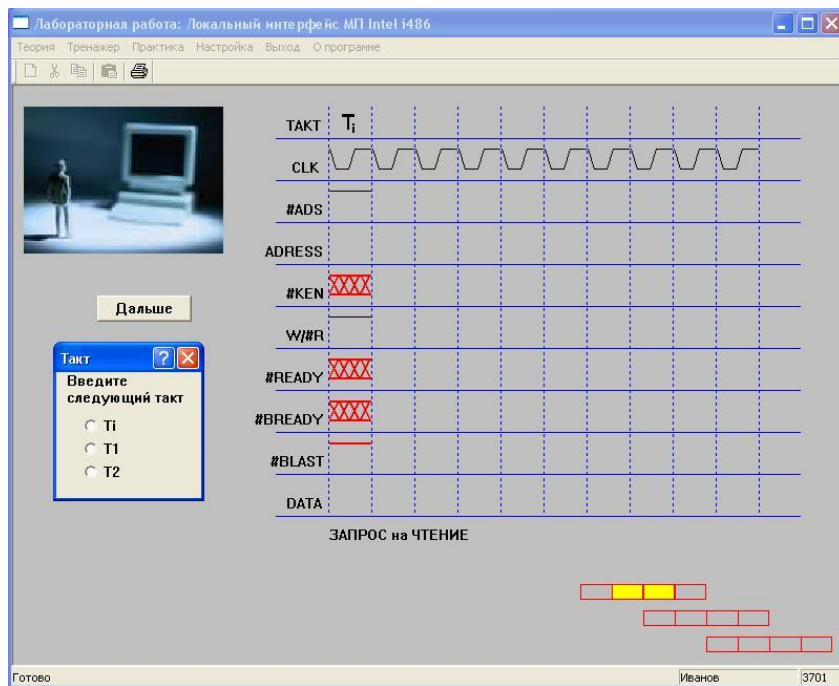


Рис.13. Рабочее окно лабораторной работы с двумя правильно выполненными заданиями.

11. Необходимо выполнить все представленные задания (см. рис. 14)

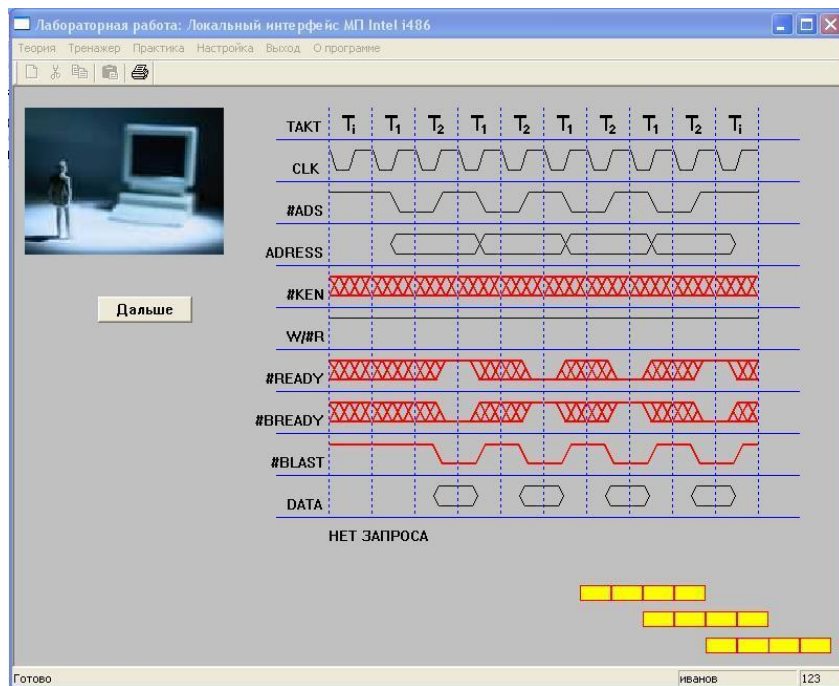


Рис.14. Рабочее окно лабораторной работы со всеми правильно выполненными заданиями.

4. СОДЕРЖАНИЕ ОТЧЕТА

Отчет должен включать:

а) окно окончания лабораторной работы, которое необходимо показать преподавателю (см. рис. 15.);

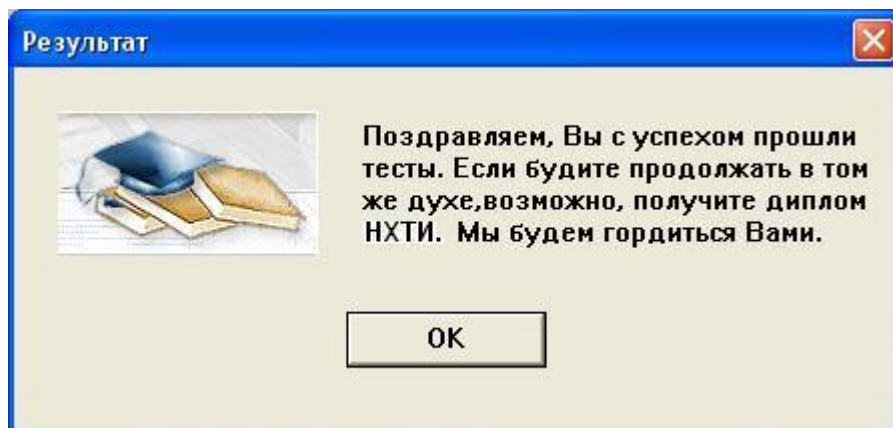


Рис. 15. Окно о завершении работы студентом.

б) ответить на контрольные вопросы

5. КОНТРОЛЬНЫЕ ВОПРОСЫ

а) вопросы в конце каждого пункта теоретического материала (вопросы для самопроверки),

б) вопросы преподавателя.